

"Express Mail" mailing label number EV287824321US

Date of Deposit September 10, 2003

I hereby certify that this paper or fee, and a patent application and accompanying papers, are being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and are addressed to the Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Barnet Shindlman

(Typed or printed name of person mailing paper or fee)

Barl Shindlman

(Signature of person mailing paper or fee)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月12日

出 願 番 号

Application Number:

特願2002-267122

[ST.10/C]:

[JP2002-267122]

出 願 人

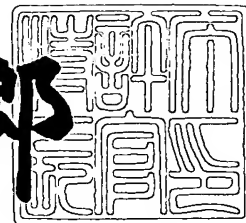
Applicant(s):

ソニー株式会社

2003年 6月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3050766

【書類名】 特許願

【整理番号】 0290569506

【提出日】 平成14年 9月12日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/26

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 橋野 司

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 杉山 晃

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100090376

【弁理士】

【氏名又は名称】 山口 邦夫

【電話番号】 03-3291-6251

【選任した代理人】

【識別番号】 100095496

【弁理士】

【氏名又は名称】 佐々木 榮二

【電話番号】 03-3291-6251

【手数料の表示】

【予納台帳番号】 007548

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709004

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 符号化装置と符号化方法と符号化プログラムおよび復号化装置と復号化方法と復号化プログラム

【特許請求の範囲】

【請求項 1】 2 フレーム毎にフレーム間の画像信号の和信号と差信号を生成する演算手段と、

前記和信号と差信号の符号化処理を行い符号化信号を生成する符号化処理手段と、

前記符号化処理手段で符号化処理を行う前記和信号と差信号に基づき、符号化ビットレートにおける前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成するビットレート割合制御手段を有し、

前記符号化処理手段では、前記制御信号に基づいた符号化ビットレートで前記和信号と差信号の符号化処理を行うことを特徴とする符号化装置。

【請求項 2】 前記ビットレート割合制御手段は、前記和信号における各画素の信号レベルのばらつきと前記差信号における各画素の信号レベルのばらつきに基づいて前記制御信号を生成することを特徴とする請求項 1 記載の符号化装置。

【請求項 3】 前記ビットレート割合制御手段は、前記和信号を符号化したときのデータ量と前記差信号を符号化したときのデータ量の比に基づいて前記制御信号を生成することを特徴とする請求項 1 記載の符号化装置。

【請求項 4】 前記符号化処理手段は、前記和信号と差信号の何れか一方を符号化処理してから他方の符号化処理を行うことを特徴とする請求項 1 記載の符号化装置。

【請求項 5】 前記符号化処理手段は、前記和信号と差信号の信号レベルを調整する信号レベル調整手段を有することを特徴とする請求項 1 記載の符号化装置。

【請求項 6】 2 フレーム毎にフレーム間の画像信号の和信号と差信号を生成し、

前記和信号と差信号の符号化処理を行い符号化信号を生成するものとし、

前記符号化処理する和信号と差信号に基づき、符号化ビットレートにおける前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成し、

前記和信号と差信号の符号化処理を前記制御信号に基づいた符号化ビットレートで行う
ことを特徴とする符号化方法。

【請求項 7】 前記和信号における各画素の信号レベルのばらつきと前記差信号における各画素の信号レベルのばらつきに基づいて前記制御信号を生成することを特徴とする請求項 6 記載の符号化方法。

【請求項 8】 前記和信号を符号化したときのデータ量と前記差信号を符号化したときのデータ量の比に基づいて前記制御信号を生成することを特徴とする請求項 6 記載の符号化方法。

【請求項 9】 前記和信号と差信号の何れか一方を符号化処理してから他方の符号化処理を行う
ことを特徴とする請求項 6 記載の符号化方法。

【請求項 10】 前記和信号と差信号の信号レベルを調整して符号化処理を行う
ことを特徴とする請求項 6 記載の符号化方法。

【請求項 11】 コンピュータに、
2 フレーム毎にフレーム間の画像信号の和信号と差信号を生成する手順と、
前記和信号と差信号に基づき、符号化ビットレートにおける前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成する手順と、

前記制御信号に基づいた符号化ビットレートで前記和信号と差信号の符号化処理を行い符号化信号を生成する手順
とを実行させるための符号化プログラム。

【請求項 1 2】 2 フレーム毎にフレーム間の画像信号の和信号と差信号を生成するとともに、該和信号と差信号の符号化処理を行い、該符号化処理する和信号と差信号に基づき、符号化ビットレートにおける前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成して、前記符号化処理を前記制御信号に基づいた符号化ビットレートで行うことにより生成された符号化信号を用い、前記符号化処理に対応した復号化処理を行うことで前記和信号と差信号を生成する復号化処理手段と、

前記和信号と差信号を用いて演算を行い、2 フレーム分の画像信号を生成する演算手段と、

前記 2 フレーム分の画像信号を所定のフレーム順で出力する出力処理手段とを有することを特徴とする復号化装置。

【請求項 1 3】 前記復号化処理手段では、前記和信号および／または差信号の信号レベルを調整する信号レベル調整手段を有することを特徴とする請求項 1 2 記載の復号化装置。

【請求項 1 4】 2 フレーム毎にフレーム間の画像信号の和信号と差信号を生成するとともに、該和信号と差信号の符号化処理を行い、該符号化処理する和信号と差信号に基づき、符号化ビットレートにおける前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成して、前記符号化処理を前記制御信号に基づいた符号化ビットレートで行うことにより生成された符号化信号を用い、前記符号化処理に対応した復号化処理を行うことで前記和信号と差信号を生成し、

前記和信号と差信号を用いて演算を行い、2 フレーム分の画像信号を生成し、前記 2 フレーム分の画像信号を所定のフレーム順で出力することを特徴とする復号化方法。

【請求項 1 5】 前記和信号および／または差信号の信号レベルを調整してから演算を行うことを特徴とする請求項 1 4 記載の復号化方法。

【請求項 1 6】 コンピュータに、

2 フレーム毎にフレーム間の画像信号の和信号と差信号を生成するとともに、該和信号と差信号の符号化処理を行い、該符号化処理する和信号と差信号に基づき、符号化ビットレートにおける前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成して、前記符号化処理を前記制御信号に基づいた符号化ビットレートで行うことにより生成された符号化信号を用い、前記符号化処理に対応した復号化処理を行うことで前記和信号と差信号を生成する手順と、

前記和信号と差信号を用いて演算を行い、2 フレーム分の画像信号を生成する手順と、

前記2 フレーム分の画像信号を所定のフレーム順で出力する手順とを実行させるための復号化プログラム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、符号化装置と符号化方法と符号化プログラムおよび復号化装置と復号化方法と復号化プログラムに関する。詳しくは、2 フレーム毎にフレーム間の画像信号の和信号と差信号を生成し、この和信号と差信号に基づき、符号化ビットレートにおける和信号の符号化ビットレートと差信号の符号化ビットレートとの割合を制御するため制御信号を生成し、この制御信号に基づいた符号化ビットレートで和信号と差信号の符号化処理を行い符号化信号を生成するものである。また、この符号化信号を復号化するものである。

【0 0 0 2】

【従来の技術】

テレビジョン放送では、放送のデジタル化に伴い、走査線数が525本でフィールド周波数が59.94 Hzの525/60 i と呼ばれる画像信号や、走査線数が625本でフィールド周波数が50 Hzの625/50 i と呼ばれる画像信号だけでなく、走査線数が525本でフレーム周波数を59.94 Hzとした525/60 p とよばれる画像信号、有効走査線数が720本でフレーム周波数を59.94 Hzとした720/60 p と呼ばれる画像信号、有効走査線数が1

0 8 0 本でフィールド周波数を 5 9 . 9 4 H z とした 1 0 8 0 / 6 0 i と呼ばれる画像信号等が用いられている。

【 0 0 0 3 】

ここで、5 2 5 / 6 0 p や 7 2 0 / 6 0 p , 1 0 8 0 / 6 0 i 等の画像信号は、5 2 5 / 6 0 i や 6 2 5 / 5 0 i の画像信号に比べてデータ量が多く高解像度の画像信号であり、高画質で高圧縮率の符号化装置が必要になってきている。例えば 5 2 5 / 6 0 p の画像信号を符号化しようとした場合、ビデオテープレコーダ等で用いられているフレーム内(Intra Frame)符号化を行うものとする、5 2 5 / 6 0 i の画像信号に対してフレーム周波数が倍、すなわち画像データ量も倍になっているので、高品質な符号化を行うためには非常に高いビットレートを必要とする。このため、例えば特許文献 1 では、直交変換された変換係数を符号化する際に、変換係数列を予め所定の順序で並べ換えることで符号化効率を向上させることが行われている。また、特許文献 2 では、フレーム間差の絶対値の総和とフィールド間差の絶対値の総和を比較して、比較結果に基づきフレーム内直交変換あるいはフィールド内直交変換を行うことでデータ量の削減を効率的に行うことが示されている。

【 0 0 0 4 】

【特許文献 1】

特開平 5 - 3 0 0 4 9 1 号公報

【特許文献 2】

特開平 6 - 2 9 2 1 7 9 号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

ところで、符号化技術については、さらなる高画質や高効率化が進められている。このため、符号化装置や復号化装置では、種々の符号化処理技術や復号化処理技術を容易に利用可能とする構成が望ましい。しかし、変換係数の並べ換えや変換の切り換えを行うものとする、専用の符号化回路や復号化回路を構成することが必要となり、種々の画像圧縮技術等を容易に利用することができなくなってしまう。

【 0 0 0 6 】

また、符号化効率を高めるために、パッケージメディアや通信等では、予測を使わずそのまま符号化するフレームと片方向や双方向の動き予測フレームを複数用いて所謂 Long-GOP (Group of Pictures) が構成されている。このように、Long-GOP 構造とすることで、高圧縮率を実現できる。しかし、編集前の素材の画像信号を Long-GOP で構成すると、所望のフレーム位置から画像信号の切り出し等を行うものとしても、編集が GOP 単位で行われてしまい編集精度が低下してしまう。また、編集精度を高めるためには、符号化されている信号を復号化する必要があり簡単に編集精度を高めることができない。さらに、動き予測フレームを生成するためには、動きベクトルの検出や動き補償など非常に負荷の大きい処理が必要となり回路規模が大きくなってしまう。

【 0 0 0 7 】

そこで、この発明では、高画質・高圧縮率で高い編集精度を得ることができるとともに、種々の画像圧縮技術を容易に利用できる符号化装置と復号化装置および符号化方法と復号化方法とプログラムを提供するものである。

【 0 0 0 8 】

【課題を解決するための手段】

この発明に係る符号化装置は、2 フレーム毎にフレーム間の画像信号の和信号と差信号を生成する演算手段と、前記和信号と差信号の符号化処理を行い符号化信号を生成する符号化処理手段と、前記符号化処理手段で符号化処理を行う前記和信号と差信号に基づき、符号化ビットレートにおける前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成するビットレート割合制御手段を有し、前記符号化処理手段では、前記制御信号に基づいた符号化ビットレートで前記和信号と差信号の符号化処理を行うものである。

【 0 0 0 9 】

また、符号化方法は、2 フレーム毎にフレーム間の画像信号の和信号と差信号を生成し、前記和信号と差信号の符号化処理を行い符号化信号を生成するものとし、前記符号化処理する和信号と差信号に基づき、符号化ビットレートにおける

前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成し、前記和信号と差信号の符号化処理を前記制御信号に基づいた符号化ビットレートで行うものである。

【 0 0 1 0 】

さらに符号化プログラムは、コンピュータに、2フレーム毎にフレーム間の画像信号の和信号と差信号を生成する手順と、前記和信号と差信号に基づき、符号化ビットレートにおける前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成する手順と、前記制御信号に基づいた符号化ビットレートで前記和信号と差信号の符号化処理を行い符号化信号を生成する手順とを実行させるものである。

【 0 0 1 1 】

この発明に係る復号化装置は、2フレーム毎にフレーム間の画像信号の和信号と差信号を生成するとともに、該和信号と差信号の符号化処理を行い、該符号化処理する和信号と差信号に基づき、符号化ビットレートにおける前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成して、前記符号化処理を前記制御信号に基づいた符号化ビットレートで行うことにより生成された符号化信号を用い、前記符号化処理に対応した復号化処理を行うことで前記和信号と差信号を生成する復号化処理手段と、前記和信号と差信号を用いて演算を行い、2フレーム分の画像信号を生成する演算手段と、前記2フレーム分の画像信号を所定のフレーム順で出力する出力処理手段とを有するものである。

【 0 0 1 2 】

また復号化方法は、2フレーム毎にフレーム間の画像信号の和信号と差信号を生成するとともに、該和信号と差信号の符号化処理を行い、該符号化処理する和信号と差信号に基づき、符号化ビットレートにおける前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成して、前記符号化処理を前記制御信号に基づいた符号化ビットレートで行うことにより生成された符号化信号を用い、前記符号化処理に対応した復号化処理を行うことで前記和信号と差信号を生成し、前記和信号と差信号を用いて演算を行

い、2フレーム分の画像信号を生成し、前記2フレーム分の画像信号を所定のフレーム順で出力するものである。

【0013】

さらに復号化プログラムは、コンピュータに、2フレーム毎にフレーム間の画像信号の和信号と差信号を生成するとともに、該和信号と差信号の符号化処理を行い、該符号化処理する和信号と差信号に基づき、符号化ビットレートにおける前記和信号の符号化ビットレートと前記差信号の符号化ビットレートとの割合を制御するため制御信号を生成して、前記符号化処理を前記制御信号に基づいた符号化ビットレートで行うことにより生成された符号化信号を用い、前記符号化処理に対応した復号化処理を行うことで前記和信号と差信号を生成する手順と、前記和信号と差信号を用いて演算を行い、2フレーム分の画像信号を生成する手順と、前記2フレーム分の画像信号を所定のフレーム順で出力する手順とを実行させるものである。

【0014】

この発明においては、2フレーム毎にフレーム間の画像信号の和信号と差信号が生成されるとともに、和信号と差信号の符号化処理が行われて符号化信号が生成される。この符号化処理する和信号と差信号に基づき、例えば和信号における各画素の信号レベルのばらつきと差信号における各画素の信号レベルのばらつき、あるいは和信号を符号化したときのデータ量と差信号を符号化したときのデータ量の比に基づいて、符号化ビットレートにおける和信号と差信号の符号化ビットレートの割合を制御するため制御信号が生成される。この生成された制御信号に基づいた符号化ビットレートとなるように符号化処理が行われて符号化信号が生成される。さらに、符号化処理では信号レベルが調整された和信号と差信号を用いることも行われる。

【0015】

また、このようにして生成された符号化信号を用いて、符号化処理に対応した復号化処理が行われて和信号と差信号が生成される。この和信号および／または差信号の信号レベルが調整されて、信号レベルの調整された和信号と差信号を用いて演算を行うことにより2フレーム分の画像信号が生成される。この2フレ

ム分の画像信号が所定のフレーム順で出力される。

【0016】

【発明の実施の形態】

以下、図を参照しながら、この発明の実施の一形態について説明する。この発明では、符号化効率を高めるとともに高い編集精度を得るために、図1に示すように2フレーム単位を符号化処理単位として、2フレーム内符号化を行う。例えば、プログレッシブ走査の画像信号では、図1Aに示すように2フレーム単位を符号化処理単位とし、インタレース走査の画像信号では図1Bに示すように4フィールド分（＝2フレーム単位）の画像信号を符号化処理単位とする。この符号化処理単位を構成する第1フレームと第2フレームの画像信号を用いて画素毎にフレーム間の和信号と差信号を生成して、和信号と差信号の符号化処理を行うとともに、この符号化処理を和信号と差信号に基づいて制御することにより、2フレームで圧縮処理が完結された2フレーム内符号化の符号化信号を生成する。また、この2フレーム内符号化により得られて符号化信号信号の復号化を行うものである。

【0017】

図2は、符号化装置10の構成を示している。入力画像信号DVinは、演算ブロック11を構成する信号切換部111の可動端子aに供給される。信号切換部111の端子bは、遅延部113に接続するとともに、端子cは加算器114と減算器115に接続する。また可動端子aは、信号切換制御部112からの切換制御信号CSaによって、端子b側あるいは端子c側に交互に切り換えられる。信号切換制御部112では、信号切換部111の端子b側に入力画像信号DVinの第1フレームの信号を供給するとともに、端子c側に入力画像信号DVinの第2フレームの信号を供給するように切換制御信号CSaを生成する。

【0018】

遅延部113では、信号切換部111を介して供給された第1フレームの画像信号を1フレーム期間遅延させて画像信号DVaとして加算器114と減算器115に供給する。

【0019】

加算器 1 1 4 では、遅延部 1 1 3 から供給された画像信号 DVa と、信号切換部 1 1 1 を介して供給された第 2 フレームの画像信号である画像信号 DVb とを等しい画素位置どうしで加算して、得られた和信号 $DVad$ を符号化処理ブロック 1 2 の信号レベル調整部 1 2 1 とビットレート割合制御ブロック 1 3 に供給する。減算器 1 1 5 では、画像信号 DVa と画像信号 DVb とを等しい画素位置どうしで減算して、得られた差信号 $DVsu$ を信号レベル調整部 1 2 1 とビットレート割合制御ブロック 1 3 に供給する。

【 0 0 2 0 】

また、上述したように、信号切換部 1 1 1 の可動端子 a は、切換制御信号 CSa によって端子 b 側あるいは端子 c 側にフレーム単位で切り換えられるので、和信号 $DVad$ と差信号 $DVsu$ は、2 フレーム毎に順次生成されることとなる。

【 0 0 2 1 】

信号レベル調整部 1 2 1 のダイナミックレンジ調整部 1 2 1 a では、このダイナミックレンジ調整部 1 2 1 a に接続されているエンコーダ 1 2 2 の入力ダイナミックレンジに応じて和信号 $DVad$ の信号レベルを調整する。例えば、エンコーダ 1 2 2 の入力ダイナミックレンジが入力画像信号 $DVin$ のダイナミックレンジと等しいものとされている場合、和信号 $DVad$ は入力画像信号 $DVin$ の 2 倍のダイナミックレンジとなる。このため、ダイナミックレンジ調整部 1 2 1 a では、和信号 $DVad$ の信号レベルを 0.5 倍とする。この信号レベル調整後の和信号 $DVadc$ は、エンコーダ 1 2 2 に供給する。

【 0 0 2 2 】

ダイナミックレンジ調整部 1 2 1 b では、ダイナミックレンジ調整部 1 2 1 a と同様に、後述するエンコーダ 1 2 3 の入力ダイナミックレンジに応じて差信号 $DVsu$ の信号レベルを調整する。例えば、エンコーダ 1 2 3 の入力ダイナミックレンジが入力画像信号 $DVin$ のダイナミックレンジと等しいものとされている場合、差信号 $DVsu$ のダイナミックレンジも入力画像信号 $DVin$ の 2 倍となる。このため、ダイナミックレンジ調整部 1 2 1 b では、差信号 $DVsu$ の信号レベルを 0.5 倍とする。この信号レベル調整後の差信号 $DVsuc$ は、レベルシフト部 1 2 1 c に供給する。

【 0 0 2 3 】

レベルシフト部 1 2 1 c では、このレベルシフト部 1 2 1 c に接続されているエンコーダ 1 2 3 の入力信号レベルに応じて、差信号 DV_{suc} の信号レベルをオフセットする。差信号 DV_{su} は、画像信号 DV_a と画像信号 DV_b との減算結果であるので、画像信号 DV_a 、 DV_b の最小値が「0」で最大値が「L」とすると、差信号 DV_{su} の信号レベル範囲は「 $\pm L$ 」となる。また、ダイナミックレンジ調整部 1 2 1 b で差信号 DV_{su} の信号レベルを 0.5 倍すると、信号レベル調整後の差信号 DV_{suc} がとりうる信号レベルの範囲は「 $\pm L/2$ 」となる。このため、差信号 DV_{suc} に補正值 $H (= L/2)$ を加算してオフセットさせると、オフセット後の差信号である差信号 DV_{sus} が採りうる信号レベルの範囲は「 $0 \sim L$ 」となり、画像信号 DV_a 、 DV_b と等しくできる。例えば入力画像信号 DV_{in} が 8 ビットの信号であるときには補正值 H として「128」を加算することで、差信号 DV_{sus} がとりうる信号レベルの範囲を入力画像信号 DV_{in} と同等にできる。このように、差信号 DV_{suc} に補正值 H を加えてオフセットさせたのち、このオフセット後の信号である差信号 DV_{sus} をエンコーダ 1 2 3 に供給する。

【 0 0 2 4 】

エンコーダ 1 2 2、1 2 3 は、和信号や差信号を符号化したときの符号化信号の符号化ビットレートを、後述するビットレート割合制御ブロック 1 3 からの制御信号に基づいて調整できるものであれば良く、符号化処理のアルゴリズムは既に一般的に利用されているアルゴリズムあるいはオリジナルのアルゴリズムを用いるものである。

【 0 0 2 5 】

このエンコーダ 1 2 2 では、和信号 DV_{adc} の符号化処理を行い、後述するビットレート割合制御ブロック 1 3 からの制御信号 CR_{ad} に基づいた符号化ビットレートで符号化信号 DT_{ad} を生成する。また符号化処理は、既に利用されている符号化処理、例えば DV や Motion-JPEG2000 等の既存の符号化処理を用いても良いし、あるいは全くオリジナルのアルゴリズムによる符号化処理等を用いても良い。このエンコーダ 1 2 2 で生成した符号化信号 DT_{ad} は、出力部 1 5 に供給する。

【 0 0 2 6 】

エンコーダ 1 2 3 では、差信号 $D V_{sus}$ の符号化処理を行い、ビットレート割合制御ブロック 1 3 からの制御信号 $C R_{su}$ に基づいた符号化ビットレートで符号化信号 $D T_{su}$ を生成する。符号化処理は、エンコーダ 1 2 2 と同様な符号化処理を用いるものとし、エンコーダ 1 2 3 で生成した符号化信号 $D T_{su}$ は、出力部 1 5 に供給する。

【 0 0 2 7 】

ビットレート割合制御ブロック 1 3 では、符号化処理ブロック 1 2 で符号化する和信号と差信号に基づいて、エンコーダ 1 2 2 で生成する符号化信号 $D T_{ad}$ とエンコーダ 1 2 3 で生成する符号化信号 $D T_{su}$ との符号化ビットレートの割合を決定する。さらに、和信号に対して決定された符号化ビットレートの割合となるように符号化処理動作を制御する制御信号 $C R_{ad}$ を生成してエンコーダ 1 2 2 に供給する。また、差信号に対して決定された符号化ビットレートの割合となるように符号化処理動作を制御する制御信号 $C R_{su}$ を生成してエンコーダ 1 2 3 に供給する。この符号化ビットレートの割合の決定では、情報量の多い信号に対して符号化ビットレートをより多く割り当てるように制御信号 $C R_{ad}$, $C R_{su}$ を生成する。

【 0 0 2 8 】

ここで、和信号や差信号の情報量が多いと、例えば信号レベルのばらつきが大きいものとなったり信号レベルの分布が広くなる。また、符号化処理後のデータ量が多くなる。このため、このような特性を利用して情報量の多い信号に対して符号化ビットレートをより多く割り当てるように制御信号 $C R_{ad}$, $C R_{su}$ を生成する。

【 0 0 2 9 】

図 3 は、情報量が多いか否かの判別に信号レベルのばらつきを用いた場合でのビットレート割合制御ブロック 1 3 の構成を示している。このブロック化回路 1 3 1 では、和信号 $D V_{ad}$ のブロック化を行い、各ブロックの画像信号を偏差算出回路 1 3 2 に供給する。例えば水平方向が 8 画素で垂直方向が 8 画素程度の小ブロックに和信号 $D V_{ad}$ を分割して、各ブロックの画像信号を偏差算出回路 1 3 2

に供給する。偏差算出回路 1 3 2 では、ブロック毎にブロック内の各画素の信号レベルを用いて標準偏差を計算する。さらに、算出した各ブロックの標準偏差を用いて 1 画面における平均標準偏差 $S D_{ad}$ を算出して、割合決定回路 1 3 5 に供給する。

【 0 0 3 0 】

ブロック化回路 1 3 3 では、差信号 $D V_{su}$ のブロック化をブロック化回路 1 3 1 と同様に行い、各ブロックの画像信号を偏差算出回路 1 3 4 に供給する。偏差算出回路 1 3 4 では、偏差算出回路 1 3 2 と同様にして平均標準偏差 $S D_{su}$ を算出して、割合決定回路 1 3 5 に供給する。

【 0 0 3 1 】

割合決定回路 1 3 5 では、偏差算出回路 1 3 2 で算出した平均標準偏差 $S D_{ad}$ と偏差算出回路 1 3 4 で算出した平均標準偏差 $S D_{su}$ の比を符号化ビットレートの割合とする。さらに、決定した割合に基づいて制御信号 $C R_{ad}$ 、 $C R_{su}$ を生成して、制御信号 $C R_{ad}$ をエンコーダ 1 2 2 に供給するとともに制御信号 $C R_{su}$ をエンコーダ 1 2 3 に供給する。

【 0 0 3 2 】

また、情報量が多いか否かの判別に符号化処理して得られる符号化信号のデータ量を用いれば、符号化ビットレートの割り当てを更に最適化できる。図 4 は、符号化信号のデータ量に基づいて制御信号 $C R_{ad}$ 、 $C R_{su}$ を生成するビットレート割合制御ブロック 1 3' の構成を示している。

【 0 0 3 3 】

エンコーダ 1 3 6 では、和信号 $D V_{ad}$ の符号化を行い、生成した符号化信号 $E V_{ad}$ をデータ量判別回路 1 3 7 に供給する。データ量判別回路 1 3 7 では、符号化信号 $E V_{ad}$ のデータ量を判別して、判別結果を示すデータ量信号 $V D_{ad}$ を割合決定回路 1 4 0 に供給する。

【 0 0 3 4 】

エンコーダ 1 3 8 では差信号 $D V_{su}$ の符号化を行い、生成した符号化信号 $E V_{su}$ をデータ量判別回路 1 3 9 に供給する。データ量判別回路 1 3 9 では、符号化信号 $E V_{su}$ のデータ量を判別して、判別結果を示すデータ量信号 $V D_{su}$ を割合決

定回路 1 4 0 に供給する。

【 0 0 3 5 】

割合決定回路 1 4 0 では、データ量判別回路 1 3 7 からのデータ量信号 V_{Dad} とデータ量判別回路 1 3 9 からのデータ量信号 V_{Dsu} に基づき、データ量の比を符号化ビットレートの割合とする。さらに、決定した割合に基づいて制御信号 C_{Rad} 、 C_{Rsu} を生成して、制御信号 C_{Rad} をエンコーダ 1 2 2 に供給するとともに制御信号 C_{Rsu} をエンコーダ 1 2 3 に供給する。

【 0 0 3 6 】

また、ビットレート割合制御ブロック 1 3 (1 3') では、和信号 D_{Vad} と差信号 D_{Vsu} を用いて符号化ビットレートの割合の決定を行うものとしたが、信号レベル調整後の和信号 D_{Vadc} と差信号 D_{Vsus} を用いても、同様にして符号化ビットレートの割合を決定できる。

【 0 0 3 7 】

さらに、ビットレート割合制御ブロック 1 3 (1 3') では、現在から所定符号化処理単位前までの和信号と差信号に基づいて符号化ビットレートの割合を決定したり、符号化ビットレートの割合の切換を所定数の符号化処理単位毎に行うこともできる。

【 0 0 3 8 】

図 2 に示す出力部 1 5 では、符号化信号 D_{Tad} と符号化信号 D_{Tsu} を用いて出力信号 D_{Tout} を生成する。ここで、入力画像信号 D_{Vin} を記録媒体に記録する場合、あるいは無線や有線の伝送路を介して入力画像信号 D_{Vin} を伝送する場合等では、誤り検出訂正符号の付加、記録媒体や伝送プロトコル等に応じたフォーマット化やビットストリーム化なども行って出力信号 D_{Tout} を生成する。また、符号化信号 D_{Tad} に基づいた出力信号と符号化信号 D_{Tsu} に基づいた出力信号を個々に生成するものとしても良い。

【 0 0 3 9 】

次に、符号化装置 1 0 から出力された信号の復号化を行う復号化装置 2 0 の構成を図 5 に示す。記録媒体を再生して得られた信号、あるいは有線あるいは無線の伝送路を介して供給された信号等は、入力信号 D_{Tin} として復号化処理プロッ

ク 2 1 の入力部 2 1 1 に供給する。この入力信号 $D T_{in}$ は、符号化装置 1 0 から出力された出力信号 $D T_{out}$ と等しいものである。

【 0 0 4 0 】

入力部 2 1 1 では、入力信号 $D T_{in}$ から符号化信号 $D T_{ad}$ と符号化信号 $D T_{su}$ を分離して、符号化信号 $D T_{ad}$ をデコーダ 2 1 2 に供給するとともに、符号化信号 $D T_{su}$ をデコーダ 2 1 3 に供給する。なお、入力部 2 1 1 では、符号化信号 $D T_{ad}$ と符号化信号 $D T_{su}$ の誤り検出訂正処理等も行う。

【 0 0 4 1 】

デコーダ 2 1 2 では、符号化信号 $D T_{ad}$ の復号化処理を行い、和信号 $D V_{adc}$ を生成して演算ブロック 2 2 の加算器 2 2 1 と減算器 2 2 2 に供給する。この復号化処理は、エンコーダ 1 2 2 で用いられた符号化処理と対応するものであり、エンコーダ 1 2 2 で例えば $D V$ フォーマットに対応したビデオテープレコーダで用いられている符号化処理を行ったときには、この符号化処理に対応した復号化処理を行うことで、符号化処理前の信号を生成できる。

【 0 0 4 2 】

デコーダ 2 1 3 では、符号化信号 $D T_{su}$ の復号化処理を行い、差信号 $D V_{sus}$ を生成して信号レベル調整部 2 1 4 のレベル逆シフト部 2 1 4 a に供給する。この復号化処理は、エンコーダ 1 2 3 で用いられた符号化処理と対応するものである。

【 0 0 4 3 】

レベル逆シフト部 2 1 4 a では、レベルシフト部 1 2 1 c でのオフセット分だけ差信号 $D V_{sus}$ の信号レベルを逆方向にオフセットさせて、オフセット前の差信号 $D V_{suc}$ を生成する。この差信号 $D V_{suc}$ は加算器 2 2 1 と減算器 2 2 2 に供給する。

【 0 0 4 4 】

ここで、デコーダ 2 1 2 から演算ブロック 2 2 に供給する和信号 $D V_{ad}$ とレベル逆シフト部 2 1 4 から演算ブロック 2 2 に供給する差信号 $D V_{suc}$ のタイミングを調整して、演算ブロック 2 2 の加算器 2 2 1 では、デコーダ 2 1 2 から供給された和信号 $D V_{adc}$ とレベル逆シフト部 2 1 4 a から供給された差信号 $D V_{suc}$

とを等しい画素位置どうしで加算する。この加算処理により得られた信号を画像信号 DV_c として出力処理ブロック 23 の信号切換部 232 の端子 a に供給する。減算器 222 では、和信号 DV_{adc} と差信号 DV_{suc} とを等しい画素位置どうしで減算する。この減算処理により得られた信号を画像信号 DV_d として出力処理ブロック 23 の遅延部 231 に供給する。このように演算処理を行うことで、1 フレームの和信号と差信号から 2 フレーム分の画像信号を生成する。

【0045】

出力処理ブロック 23 の遅延部 231 では、画像信号 DV_d を 1 フレーム期間だけ遅延させて画像信号 DV_e として信号切換部 232 の端子 b に供給する。

【0046】

信号切換部 232 では、信号切換制御部 233 から供給された切換制御信号 CS_b に基づき可動端子 c を端子 a 側あるいは端子 b 側に切り換えて、この信号切換部 232 で選択した信号を出力画像信号 DV_{out} として出力する。

【0047】

信号切換制御部 233 では、加算器 221 から画像信号 DV_c が信号切換部 232 の端子 a に供給されるタイミングで信号切換部 232 の可動端子 c を端子 a に切り換えるとともに、遅延部 231 から画像信号 DV_e が信号切換部 232 の端子 b に供給されるタイミングで、信号切換部 232 の可動端子 c を端子 b に切り換える切換制御信号 CS_b を生成して信号切換部 232 に供給する。

【0048】

このように遅延部 231 で画像信号 DV_d を 1 フレーム期間だけ遅延させて画像信号 DV_e とするとともに、信号切換部 232 を制御して画像信号 DV_c と画像信号 DV_e を交互に選択することで、演算ブロック 22 で生成された 2 フレーム分の画像信号を所定のフレーム順として出力することで、符号化装置 10 に入力した入力画像信号 DV_{in} と等しい出力画像信号 DV_{out} を得ることができる。

【0049】

図 6 は、符号化装置 10 の動作を説明するためのものである（なお、図 6 および後述する図 7、図 10、図 11 は、符号化装置や復号化装置における各信号の生成順序を示したものであり、各信号のタイミングをすべて正しく示したもので

はない)。図 6 A に示す入力画像信号 DV_{in} が符号化装置 1 0 に入力されると、信号切換部 1 1 1 によって第 1 フレームの信号が遅延部 1 1 3 に振り分けられるとともに第 2 フレームの信号が減算器 1 1 5 に振り分けられる。このため、遅延部 1 1 3 から出力される画像信号 DV_a は、図 6 B に示すように第 1 フレームの信号「O1」が第 2 フレームの信号「E1」と等しいタイミングとされる。加算器 1 1 4 では、第 1 フレームの信号「O1」と第 2 フレームの信号「E1」を加算して図 6 C に示す和信号 DV_{ad} ($= \text{「O1+E1」}$) を生成する。また、減算器 1 1 5 では、例えば第 1 フレームの信号「O1」から第 2 フレームの信号「E1」を減算して図 6 D に示す差信号 DV_{su} ($= \text{「O1-E1」}$) を生成する。

【 0 0 5 0 】

信号レベル調整部 1 2 1 のダイナミックレンジ調整部 1 2 1 a では、和信号 DV_{ad} の信号レベルを例えば 0.5 倍して図 6 E に示す和信号 DV_{adc} ($= \text{「(O1+E1)/2」}$) を生成する。同様に、ダイナミックレンジ調整部 1 2 1 b では、差信号 DV_{su} の信号レベルを例えば 0.5 倍して図 6 F に示す差信号 DV_{suc} ($= \text{「(O1-E1)/2」}$) を生成する。

【 0 0 5 1 】

レベルシフト部 1 2 1 c では、差信号 DV_{suc} の信号レベルをエンコーダ 1 2 3 の入力レベルに応じて調整する。すなわち差信号 DV_{suc} に補正量 H を加算して図 6 G に示す差信号 DV_{sus} ($= \text{「((O1-E1)/2)+H」}$) を生成する。

【 0 0 5 2 】

エンコーダ 1 2 2 では、和信号 DV_{adc} の符号化処理を行い、制御信号 CR_{ad} に基づいた符号化ビットレートでの図 6 H に示す符号化信号 DT_{ad} ($= \text{「Ba1」}$) を生成する。同様に、エンコーダ 1 2 3 では、差信号 DV_{sus} から図 6 J に示す符号化信号 DT_{su} ($= \text{「Bs1」}$) を生成する。このようにして生成された符号化信号 DT_{ad} と符号化信号 DT_{su} を用いて、図 6 K に示す出力信号 DT_{out} ($= \text{「B1」}$) を生成できる。

【 0 0 5 3 】

また、次の第 1 フレームの信号「O2」および第 2 フレームの信号「E2」も同様に処理することで、符号化信号 DT_{ad} ($= \text{「Ba2」}$) と符号化信号 DT_{su} ($=$

「Bs2」) を生成できる。さらに、生成された符号化信号DTadと符号化信号DTsuを用いて出力信号DTout (= 「B2」) を生成できる。

【 0 0 5 4 】

図7は、復号化装置20の動作を説明するためのものである。符号化信号DTadと符号化信号DTsuを用いて構成された図7Aに示す入力信号DTinが復号化装置20に入力されると、入力部211では入力信号DTin (= 「B1」) から図7Bに示す符号化信号DTad (= 「Ba1」) と、図7Cに示す符号化信号DTsu (= 「Bs1」) を分離する。

【 0 0 5 5 】

この符号化信号DTad (= 「Ba1」) の復号化をデコーダ212で行うと、図7Dに示す和信号DVadc (= 「(O1+E1)/2」) が生成される。また、符号化信号DTsu (= 「Bs1」) の復号化をデコーダ213で行うと、図7Eに示す差信号DVsus (= 「((O1-E1)/2)+H」) が生成される。

【 0 0 5 6 】

レベル逆シフト部214aでは、デコーダ213で生成した差信号DVsusから符号化装置10のレベルシフト部121cで加算した補正量Hを減算して、オフセット前の信号レベルである図7Fに示す差信号DVsuc (= 「(O1-E1)/2」) を生成する。

【 0 0 5 7 】

加算器221では、和信号DVadc (= 「(O1+E1)/2」) と差信号DVsuc (= 「(O1-E1)/2」) を加算して、図7Gに示す画像信号DVc (= 「O1」) を生成する。また、減算器222では、和信号DVadc (= 「(O1+E1)/2」) から差信号DVsuc (= 「(O1-E1)/2」) を減算して、図7Hに示す画像信号DVd (= 「E1」) を生成する。さらに、遅延部231は、画像信号DVd (= 「E1」) を1フレーム遅延させて図7Jに示す画像信号DVe (= 「E1」) とする。

【 0 0 5 8 】

信号切換部232では、画像信号DVc (= 「O1」) に続けて画像信号DVe (= 「E1」) を選択することで、図7Kに示す出力画像信号DVoutを2フレ

△期間分 (= 「O1」 「E1」) 生成できる。

【 0 0 5 9 】

また、入力信号 D T i n (= 「B2」) についても同様に処理することで、出力画像信号 D V o u t を 2 フレーム期間分 (= 「O2」 「E2」) 生成できる。さらに、入力信号 D T i n の復号化処理を順次行うことで、出力画像信号 D V o u t を順次出力することができる。また、出力画像信号 D V o u t は、入力信号 D T i n の生成に用いた入力画像信号 D V i n と等しいものとなる。

【 0 0 6 0 】

なお、上述の実施の形態では、符号化装置 1 0 のダイナミックレンジ調整部 1 2 1 a, 1 2 1 b で和信号と差信号を 0. 5 倍したため、復号化装置 2 0 の演算ブロック 2 2 では、和信号と差信号を加算および減算することで正しい信号レベルの画像信号を得ることができる。すなわち、復号化装置の構成が簡単となるものであるが、例えばエンコーダ 1 2 2, 1 2 3 の入力ダイナミックレンジが和信号 D V a d や差信号 D V s u と等しく、ダイナミックレンジの調整が行われなるときには、復号化装置 2 0 の信号レベル調整部 2 1 4 に、和信号 D V a d c と差信号 D V s u c のダイナミックレンジを 0. 5 倍とするダイナミックレンジ調整部を設けることで、正しい信号レベルの画像信号を得ることができる。

【 0 0 6 1 】

このように、符号化装置 1 0 では、2 フレーム内符号化を行うことから、従来のフレーム内符号化と比較して同じ画質であれば、出力信号 D T o u t のビットレートを低くできる。また同じビットレートであれば、画像を高画質にできる。

【 0 0 6 2 】

さらに、2 フレーム単位で符号化信号の生成が行われているので、符号化されている出力信号 D T o u t を用いても L o n g - G O P 構造に比べて高精度の編集を行うことができる。また、動きベクトルの検出や動き補償など非常に負荷の大きい処理が必要とされないので構成を簡単にできる。

【 0 0 6 3 】

さらに、符号化装置 1 0 のエンコーダや復号化装置 2 0 のデコーダは、符号化ビットレートを制御できるものであれば良いことから、種々の画像圧縮技術を容

易に流用できる。

【 0 0 6 4 】

ところで、上述の実施の形態では、和信号と差信号に対してそれぞれエンコーダおよびデコーダを設けるものとしたが、1つのエンコーダとデコーダを切り換えて使用すれば、さらに符号化装置と復号化装置の構成を簡単にできる。

【 0 0 6 5 】

次に、和信号と差信号とでエンコーダを共用する場合の符号化装置 3 0 の構成を図 8 に示す。なお、図 8 において、図 2 と対応する部分については同一符号を付し、詳細な説明は省略する。

【 0 0 6 6 】

符号化処理ブロック 3 2 のダイナミックレンジ調整部 1 2 1 a から出力される和信号 DV_{adc} は信号切換部 3 2 2 の端子 a に供給する。また、レベルシフト部 1 2 1 c から出力される差信号 DV_{sus} は遅延部 3 2 1 に供給する。遅延部 3 2 1 では、差信号 DV_{sus} を 1 フレーム遅延して差信号 DV_{sud} として信号切換部 3 2 2 の端子 b に供給する。

【 0 0 6 7 】

信号切換部 3 2 2 では、信号切換制御部 3 2 3 からの切換制御信号 CS_c に基づき可動端子 c を端子 a 側あるいは端子 b 側に切り換えて、和信号 DV_{adc} あるいは差信号 DV_{sud} を選択する。この信号切換部 3 2 2 で選択した信号は選択信号 DV_{as} としてエンコーダ 3 2 4 に供給する。

【 0 0 6 8 】

信号切換制御部 3 2 3 では、可動端子 c を切り換えて、ダイナミックレンジ調整部 1 2 1 a から信号切換部 3 2 2 の端子 a に供給される和信号 DV_{adc} と、遅延部 3 2 1 から信号切換部 3 2 2 の端子 b に供給される差信号 DV_{sud} を交互に選択するための切換制御信号 CS_c を生成して信号切換部 3 2 2 に供給する。

【 0 0 6 9 】

エンコーダ 3 2 4 では、選択信号 DV_{as} の符号化処理を行い、符号化信号 DT_{as} を生成して出力部 3 5 に供給する。ここで、選択信号 DV_{as} の符号化処理を行う際には、後述するビットレート割合制御ブロック 3 3 から供給された制御信号

C Rasに基づいた符号化ビットレートの符号化信号D Tasを生成する。また、エンコーダ3 2 4で行う符号化処理は、エンコーダ1 2 2, 1 2 3と同様に、既にご利用されている符号化処理やオリジナルのアルゴリズムによる符号化処理等を用いる。なお、エンコーダ1 2 2, 1 2 3では、符号化処理単位の期間内で和信号あるいは差信号の符号化処理を完了できれば、リアルタイムで符号化処理を完了できる。しかし、符号化装置3 0において、リアルタイムで符号化処理を完了するためには、符号化処理単位の期間内で和信号と差信号の符号化処理を行える能力のエンコーダ3 2 4を用いる必要がある。

【0 0 7 0】

ビットレート割合制御ブロック3 3では、ビットレート割合制御ブロック1 3と同様に、和信号D Vadと差信号D Vsuに基づいて、和信号D Vadcを符号化処理して得られる符号化信号と差信号D Vsudを符号化処理して得られる符号化信号との符号化ビットレートの割合を決定する。さらに、切換制御信号C Scに基づいて、和信号D Vadcあるいは差信号D Vsudのいずれの信号が選択信号D Vasとしてエンコーダ3 2 4に供給されるかを判別して、エンコーダ3 2 4に供給される信号に応じた制御信号C Rasをエンコーダ3 2 4に供給する。例えば、切換制御信号C Scに基づき、和信号D Vadcを選択信号D Vasとしてエンコーダ3 2 4に供給すると判別したときには、上述のビットレート割合制御ブロック1 3 (1 3')と同様にして生成した制御信号C Radを制御信号C Rasとしてエンコーダ3 2 4に供給する。また、差信号D Vsudを選択信号D Vasとしてエンコーダ3 2 4に供給すると判別したときには、ビットレート割合制御ブロック1 3 (1 3')と同様にして生成した制御信号C Rsuを制御信号C Rasとしてエンコーダ3 2 4に供給する。

【0 0 7 1】

出力部3 5では、符号化信号D Tasを用いて出力信号D Toutを生成する。また出力部1 5と同様に、誤り検出訂正符号の付加、記録媒体や伝送プロトコル等に応じたフォーマット化やビットストリーム化なども行って出力信号D Toutを生成する。

【0 0 7 2】

図 9 は、符号化装置 3 0 から出力された信号を復号化する復号化装置 4 0 の構成を示している。なお、図 9 において、図 5 と対応する部分については同一符号を付し、詳細な説明は省略する。

【 0 0 7 3 】

復号化処理ブロック 4 1 の入力部 4 1 1 では、入力信号 $D T_{in}$ から符号化信号 $D T_{as}$ を取り出してデコーダ 4 1 2 に供給する。なお、入力部 4 1 1 では、符号化信号 $D T_{as}$ の誤り検出訂正処理等も行う。

【 0 0 7 4 】

デコーダ 4 1 2 では、符号化信号 $D T_{as}$ の復号化処理を行う。この復号化処理によって得られた選択信号 $D V_{as}$ は、信号切換部 4 1 3 の可動端子 a に供給する。さらにデコーダ 4 1 2 では、選択信号 $D V_{as}$ に基づき和信号 $D V_{adc}$ と差信号 $D V_{sud}$ の境界で信号切換部 4 1 3 の可動端子 a を端子 b 側あるいは端子 c 側に切り換える切換制御信号 $C S_d$ を生成して、信号切換部 4 1 3 に供給する。和信号 $D V_{adc}$ と差信号 $D V_{sud}$ の境界は、上述の入力部 2 1 1 と同様にヘッダ情報を利用したり、E O B 符号に基づいたブロック数、あるいは復号化処理したブロック数等に基づいて判別でき、この判別結果に基づいて切換制御信号 $C S_d$ を生成する。

【 0 0 7 5 】

信号切換部 4 1 3 では、切換制御信号 $C S_d$ に基づき可動端子 a を端子 b 側あるいは端子 c 側に切り換えて、選択信号 $D V_{as}$ における和信号 $D V_{adc}$ の信号部分を遅延部 4 1 4 に供給するとともに、選択信号 $D V_{as}$ における差信号 $D V_{sud}$ の信号部分をレベル逆シフト部 4 1 5 a に供給する。

【 0 0 7 6 】

遅延部 4 1 4 では、和信号 $D V_{adc}$ を 1 フレーム期間分だけ遅延させて和信号 $D V_{add}$ として加算器 2 2 1 と減算器 2 2 2 に供給する。また、信号レベル調整部のレベル逆シフト部 4 1 5 a では、レベルシフト部 1 2 1 c でのオフセット量だけ差信号 $D V_{sud}$ の信号レベルを逆方向にオフセットさせて、オフセット前の差信号 $D V_{suc}$ を加算器 2 2 1 と減算器 2 2 2 に供給する。

【 0 0 7 7 】

このように、遅延部 4 1 4 を設けることで、加算器 2 2 1 と減算器 2 2 2 に供給する和信号 DV_{adc} と差信号 DV_{suc} のタイミングを等しくする。加算器 2 2 1 では、和信号 DV_{add} と差信号 DV_{suc} とを等しい画素位置どうしで加算して画像信号 DV_c を生成する。また、減算器 2 2 2 では、和信号 DV_{adc} と差信号 DV_{suc} とを等しい画素位置どうしで減算して画像信号 DV_d を生成する。その後、復号化装置 2 0 と同様に、画像信号 DV_d を遅延部 2 3 1 で 1 フレーム期間分遅延させて画像信号 DV_e とし、信号切換部 2 3 2 によって画像信号 DV_c と画像信号 DV_e をフレーム毎に交互に選択することで、符号化装置 3 0 に入力した入力画像信号 DV_{in} と等しい出力画像信号 DV_{out} を得ることができる。

【 0 0 7 8 】

図 1 0 は、符号化装置 3 0 の動作を説明するためのものである。図 1 0 A に示す入力画像信号 DV_{in} が符号化装置 3 0 に入力されると、信号切換部 1 1 1 によって第 1 フレームの信号が遅延部 1 1 3 に振り分けられるとともに第 2 フレームの信号が減算器 1 1 5 に振り分けられる。このため、遅延部 1 1 3 から出力される画像信号 DV_a は、図 1 0 B に示すように第 1 フレームの信号「O1」が第 2 フレームの信号「E1」と等しいタイミングとされる。加算器 1 1 4 では、第 1 フレームの信号「O1」と第 2 フレームの信号「E1」を加算して図 1 0 C に示す和信号 DV_{ad} ($= \text{「O1} + \text{E1」}$) を生成する。また、減算器 1 1 5 では、例えば第 1 フレームの信号「O1」から第 2 フレームの信号「E1」を減算して図 1 0 D に示す差信号 DV_{su} ($= \text{「O1} - \text{E1」}$) を生成する。

【 0 0 7 9 】

信号レベル調整部 1 2 1 のダイナミックレンジ調整部 1 2 1 a では、和信号 DV_{ad} の信号レベルを例えば 0.5 倍して図 1 0 E に示す和信号 DV_{adc} ($= \text{「(O1} + \text{E1)/2」}$) を生成する。同様に、ダイナミックレンジ調整部 1 2 1 b では、差信号 DV_{su} の信号レベルを例えば 0.5 倍して図 1 0 F に示す差信号 DV_{suc} ($= \text{「(O1} - \text{E1)/2」}$) を生成する。

【 0 0 8 0 】

レベルシフト部 1 2 1 c では、差信号 DV_{suc} の信号レベルをエンコーダ 3 2 4 の入力レベルに応じて調整する。すなわち差信号 DV_{suc} に補正量 H を加算して

図 1 0 G に示す差信号 $DVsus$ ($= \lceil ((O1 - E1)/2) + H \rceil$) を生成する。

【 0 0 8 1 】

遅延部 3 2 1 では、差信号 $DVsus$ を 1 フレーム期間分遅延させて図 1 0 H に示す差信号 $DVsud$ とする。

【 0 0 8 2 】

信号切換部 3 2 2 では、1 符号化処理単位の和信号 $DVadc$ と差信号 $DVsud$ を交互に選択して、図 1 0 J に示す選択信号 $DVas$ をエンコーダ 3 2 4 に供給する。

【 0 0 8 3 】

エンコーダ 3 2 4 では、和信号 $DVad$ と差信号 $DVsu$ に基づいたビットレートの割合で選択信号 $DVas$ の符号化を行い図 1 0 K に示す符号化信号 $DTas$ を生成する。例えば選択信号 $DVas$ ($= \lceil (O1 + E1)/2 \rceil$) を符号化して符号化信号 $DTas$ ($= \lceil Ba1 \rceil$) を生成し、選択信号 $DVas$ ($= \lceil ((O1 - E1)/2) + H \rceil$) を符号化して符号化信号 $DTas$ ($= \lceil Bs1 \rceil$) を生成する。このようにして生成された符号化信号 $DTas$ を用いて、図 1 0 L に示す出力信号 $DTout$ ($= \lceil B1 \rceil$) を生成する。

【 0 0 8 4 】

次の第 1 フレームの信号「O2」および第 2 フレームの信号「E2」も同様に処理することで、符号化信号 $DTas$ ($= \lceil Ba2 \rceil$) と符号化信号 $DTas$ ($= \lceil Bs2 \rceil$) を生成できる。さらに、生成された符号化信号 $DTas$ を用いて出力信号 $DTout$ ($= \lceil B2 \rceil$) を生成できる。

【 0 0 8 5 】

図 1 1 は、復号化装置 4 0 の動作を示している。符号化信号 $DTas$ を用いて構成された図 1 1 A に示す入力信号 $DTin$ が復号化装置 4 0 に入力されると、入力部 4 1 1 では、入力信号 $DTin$ ($= \lceil B1 \rceil$) から図 1 1 B に示す符号化信号 $DTas$ ($= \lceil Ba1 \rceil$) と符号化信号 $DTas$ ($= \lceil Bs1 \rceil$) を生成してデコーダ 4 1 2 に供給する。

【 0 0 8 6 】

この符号化信号 $DTas$ ($= \lceil Ba1 \rceil$) と符号化信号 $DTas$ ($= \lceil Bs1 \rceil$) の復

号化をデコーダ 4 1 2 で順次行くと、図 1 1 C に示す選択信号 DV_{as} ($= \lceil (O1 + E1)/2 \rceil$, $\lceil ((O1 - E1)/2) + H \rceil$) が生成される。信号切換部 4 1 3 では、選択信号 DV_{as} から和信号部分を抽出して和信号 DV_{adc} として遅延部 4 1 4 に供給する。遅延部 4 1 4 では、この和信号 DV_{adc} を 1 フレーム期間遅延させて図 1 1 D に示す和信号 DV_{add} として加算器 2 2 1 に供給する。また信号切換部 4 1 3 では、選択信号 DV_{as} から差信号部分を抽出して差信号 DV_{sud} ($= \lceil ((O1 - E1)/2) + H \rceil$) としてレベル逆シフト部 4 1 5 a に供給する。

【0087】

レベル逆シフト部 4 1 5 a では、差信号 DV_{sud} から符号化装置 3 0 のレベルシフト部 1 2 1 c で加算した補正量 H を減算して、オフセット前の信号レベルである図 1 1 E に示す差信号 DV_{suc} ($= \lceil (O1 - E1)/2 \rceil$) を生成する。

【0088】

加算器 2 2 1 では、和信号 DV_{adc} ($= \lceil (O1 + E1)/2 \rceil$) と差信号 DV_{suc} ($= \lceil (O1 - E1)/2 \rceil$) を加算して、図 1 1 F に示す画像信号 DV_c ($= \lceil O1 \rceil$) を生成する。また、減算器 2 2 2 では、和信号 DV_{adc} ($= \lceil (O1 + E1)/2 \rceil$) から差信号 DV_{suc} ($= \lceil (O1 - E1)/2 \rceil$) を減算して、図 1 1 G に示す画像信号 DV_d ($= \lceil E1 \rceil$) を生成する。さらに、遅延部 2 3 1 は、画像信号 DV_d ($= \lceil E1 \rceil$) を 1 フレーム遅延させて図 1 1 H に示す画像信号 DV_e ($= \lceil E1 \rceil$) とする。

【0089】

信号切換部 2 3 2 では、画像信号 DV_c ($= \lceil O1 \rceil$) に続けて画像信号 DV_e ($= \lceil E1 \rceil$) を選択することで、図 1 1 J に示す出力画像信号 DV_{out} を 2 フレーム期間分 ($= \lceil O1 \rceil \lceil E1 \rceil$) 生成できる。

【0090】

また、入力信号 DT_{in} ($= \lceil B2 \rceil$) についても同様に処理することで、出力画像信号 DV_{out} を 2 フレーム期間分 ($= \lceil O2 \rceil \lceil E2 \rceil$) 生成できる。さらに、入力信号 DT_{in} の復号化処理を順次行うことで、出力画像信号 DV_{out} を順次出力することができる。この出力画像信号 DV_{out} は、入力信号 DT_{in} の生成に用いた入力画像信号 DV_{in} と等しいものとなる。

【 0 0 9 1 】

このように、符号化装置 3 0 では、エンコーダ 3 2 4 を共用して和信号 D V_{adc} と差信号 D V_{sud} の符号化処理を行い、復号化装置 4 0 では、デコーダ 4 1 2 で復号化処理を行うことにより和信号 D V_{adc} と差信号 D V_{sud} を生成する。このため、和信号と差信号のそれぞれに対してエンコーダやデコーダを設ける必要が無く、符号化装置や復号化装置をさらに安価に構成できる。

【 0 0 9 2 】

また、上述の符号化装置や復号化装置の動作は、ハードウェアだけでなくソフトウェアで実現することもできる。この場合の構成を図 1 2 に示す。コンピュータは、CPU (Central Processing Unit) 5 0 1 を内蔵しており、この CPU 5 0 1 にはバス 5 2 0 を介して ROM 5 0 2, RAM 5 0 3, ハード・ディスク・ドライブ 5 0 4, 入出力インタフェース 5 0 5 が接続されている。さらに、入出力インタフェース 5 0 5 には入力部 5 1 1 や記録媒体ドライブ 5 1 2, 通信部 5 1 3, 信号入力部 5 1 4, 信号出力部 5 1 5 が接続されている。

【 0 0 9 3 】

外部装置から命令が入力されたり、キーボードやマウス等の操作手段あるいはマイク等の音声入力手段等を用いて構成された入力部 5 1 1 から命令が入力されると、この命令が入出力インタフェース 5 0 5 を介して CPU 5 0 1 に供給される。

【 0 0 9 4 】

CPU 5 0 1 は、ROM 5 0 2 や RAM 5 0 3 あるいはハード・ディスク・ドライブ 5 0 4 に記憶されているプログラムを実行して、供給された命令に応じた処理を行う。さらに、ROM 5 0 2 や RAM 5 0 3 あるいはハード・ディスク・ドライブ 5 0 4 には、上述の符号化装置や復号化装置と同様な処理をコンピュータで実行させるためのプログラムを予め記憶させて、信号入力部 5 1 4 に入力された入力画像信号 D V_{in} に基づき出力信号 D T_{out} を生成して、信号出力部 5 1 5 から出力する。あるいは、信号入力部 5 1 4 に入力された入力信号 D T_{in} に基づき出力画像信号 D V_{out} を生成して、信号出力部 5 1 5 から出力する。

【 0 0 9 5 】

また、記録媒体にプログラムを記録しておくものとし、記録媒体ドライブ 5 1 2 によって、プログラムを記録媒体に記録しあるいは記録媒体に記録されているプログラムを読み出してコンピュータで実行するものとしても良い。さらに、通信部 5 1 3 によって、伝送路を介したプログラムの送信あるいは受信を行うものとし、受信したプログラムをコンピュータで実行するものとしても良い。

【 0 0 9 6 】

図 1 3 は、符号化動作を示すフローチャートである。ステップ S T 1 では、信号入力部 5 1 4 に入力された入力画像信号 D V in から符号化処理単位である 2 フレーム分の画像信号を用いて、フレーム間の画像信号の和信号と差信号を画素毎に生成してステップ S T 2 に進む。

【 0 0 9 7 】

ステップ S T 2 では、和信号を符号化処理して生成する符号化信号の符号化ビットレートと、差信号を符号化処理して生成する符号化信号の符号化ビットレートとの割合を、和信号と差信号に基づいて決定する。例えば、上述のように和信号と差信号のブロック化を行い、各ブロックの標準偏差を用いて 1 画面における平均標準偏差を和信号と差信号のそれぞれに対して算出し、この平均標準偏差の比を符号化ビットレートの割合とする。あるいは、和信号と差信号の符号化を行い、得られた符号化信号のデータ量の比を符号化ビットレートの割合とする。

【 0 0 9 8 】

ステップ S T 3 では、ステップ S T 2 で決定された符号化ビットレートの割合に基づいて和信号と差信号の符号化処理を行う。この符号化処理は、符号化ビットレートを調整できる処理であれば良く、既に一般的に利用されている符号化処理やオリジナルのアルゴリズムによる符号化処理を用いる。

【 0 0 9 9 】

ステップ S T 4 では、和信号を符号化処理して得られた符号化信号と差信号を符号化処理して得られた符号化信号を用いて出力信号を生成して信号出力部 5 1 5 から出力する。

【 0 1 0 0 】

図 1 4 は、図 2 や図 8 に示す符号化装置あるいは図 1 3 に示すフローチャート

の処理によって生成された信号を用いる復号化動作を示すフローチャートである。

【0101】

ステップST11では、信号入力部514から入力された入力信号DTinの復号化処理を行い、和信号と差信号を生成してステップST12に進む。また、ステップST11では、符号化処理に対応した既に一般的に利用されている復号化処理やオリジナルのアルゴリズムによる復号化処理を用いる。

【0102】

ステップST12では、和信号と差信号を用いて演算処理を行い2フレーム分の画像信号を生成してステップST13に進む。

【0103】

ステップST13では、生成された2フレーム分の画像信号を時間軸方向に並べて信号出力部515から出力画像信号DVoutとして出力する。

【0104】

なお、入力画像信号DVinがインタレース走査である場合、エンコーダ122, 123, 324やエンコーダ136, 137に供給される信号は、第1フィールドの和信号、差信号の次に第2フィールドの和信号、差信号が供給されることとなる。このため、エンコーダ122, 123やエンコーダ136, 137への信号供給前にフレーム化を行い、1フレームの和信号や差信号がエンコーダ122, 123やエンコーダ136, 137に供給されるようにすれば、入力画像信号DVinがインタレース走査であってもプログレッシブ走査と等しい出力信号DToutを得ることができる。

【0105】

【発明の効果】

この発明によれば、2フレーム内符号化を行うとともに和信号の符号化ビットレートと差信号の符号化ビットレートとの割合を制御して符号化処理が行われて出力信号が生成される。このため、画質を低下させることなく出力信号のビットレートを低くしたり、ビットレートを高くしなくとも復号画像を高画質にできる。また、2フレーム単位で符号化信号の生成が行われているので、符号化されて

いる出力信号を用いても高精度の編集を行うことができる。また、動きベクトル検出等の負荷の大きい処理が必要とされないので構成を簡単にできる。さらに、符号化処理は符号化ビットレートを制御できるものであれば良いことから、種々の画像圧縮技術を容易に流用できる。

【0106】

また、和信号や差信号における各画素の信号レベルのばらつき、あるいは和信号や差信号の符号化処理後のデータ量に基づいて和信号の符号化ビットレートと差信号の符号化ビットレートとの割合が制御されるので、和信号の符号化ビットレートと差信号の符号化ビットレートとの割合を最適な状態に設定できる。また、和信号と差信号の何れか一方を符号化処理してから他方の符号化処理を行うことで、和信号と差信号のそれぞれに符号化処理を行う回路を設ける必要がなく構成を簡単にできる。

【0107】

さらに、和信号と差信号の信号レベルを調整して符号化処理を行うことから、符号化処理を正しく行うことができるとともに、復号化動作を簡単とすることも可能となる。また、復号化処理して得た和信号および／または差信号の信号レベルの調整が行われるので、復号化して得られる2フレーム分の画像信号の信号レベルを正しいものとすることができる。

【図面の簡単な説明】

【図1】

符号化処理単位を示す図である。

【図2】

符号化装置の構成を示す図である。

【図3】

ビットレート割合制御ブロックの構成を示す図である。

【図4】

ビットレート割合制御ブロックの他の構成を示す図である。

【図5】

復号化装置の構成を示す図である。

【図 6】

符号化装置の動作を示す図である。

【図 7】

復号化装置の動作を示す図である。

【図 8】

符号化装置の他の構成を示す図である。

【図 9】

復号化装置の他の構成を示す図である。

【図 1 0】

符号化装置の他の構成での動作を示す図である。

【図 1 1】

復号化装置の他の構成での動作を示す図である。

【図 1 2】

コンピュータを用いた構成を示す図である。

【図 1 3】

符号化動作を示すフローチャートである。

【図 1 4】

復号化動作を示すフローチャートである。

【符号の説明】

1 0, 3 0 . . . 符号化装置、1 1 . . . 演算ブロック、1 2, 3 2 . . . 符号化処理ブロック、1 3, 1 3' , 3 3 . . . ビットレート割合制御ブロック、1 5, 3 5 . . . 出力部、2 0, 4 0 . . . 復号化装置、2 1, 4 1 . . . 復号化処理ブロック、2 2 . . . 演算ブロック、2 3 . . . 出力処理ブロック、1 1 1 . . . 信号切換部、1 1 2 . . . 信号切換制御部、1 1 3, 2 3 1, 3 2 1, 4 1 4 . . . 遅延部、1 1 4, 2 2 1 . . . 加算器、1 1 5, 2 2 2 . . . 減算器、1 2 1, 2 1 4 . . . 信号レベル調整部、1 2 1 a, 1 2 1 b . . . ダイナミックレンジ調整部、1 2 1 c . . . レベルシフト部、1 2 2, 1 2 3, 1 3 6, 1 3 8, 3 2 4 . . . エンコーダ、1 3 1, 1 3 3 . . . ブロック化回路、1 3 2, 1 3 4 . . . 偏差算出回路、1 3 5, 1 4 0 . . . 割合決定回路、1 3 7,

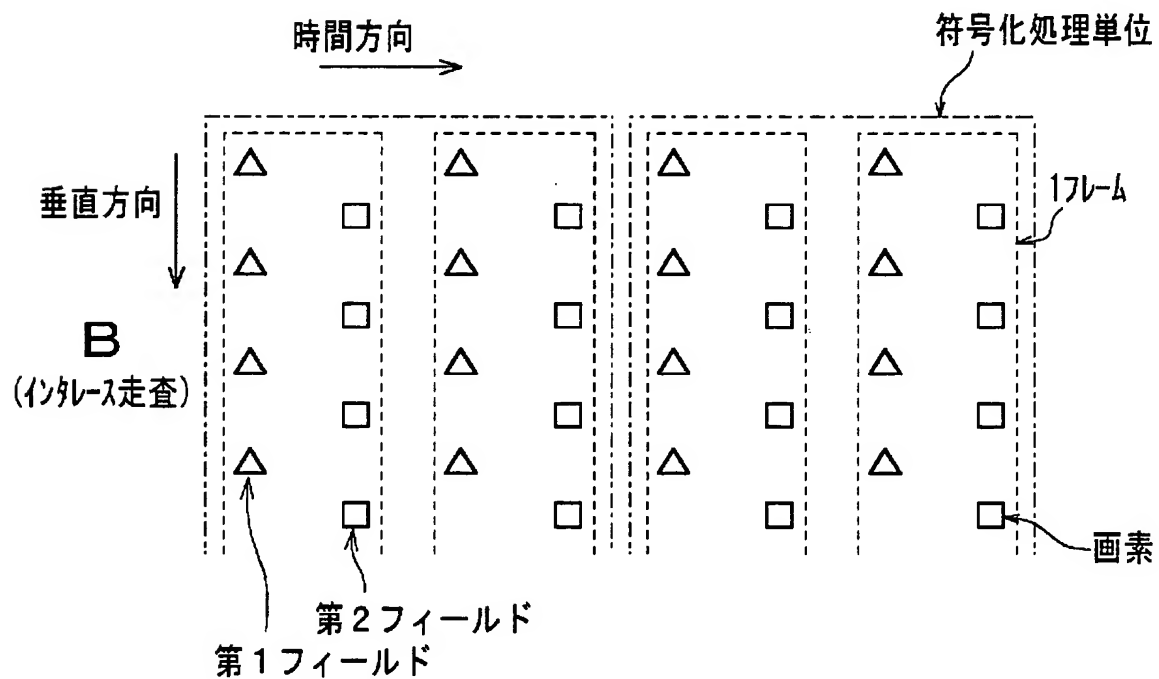
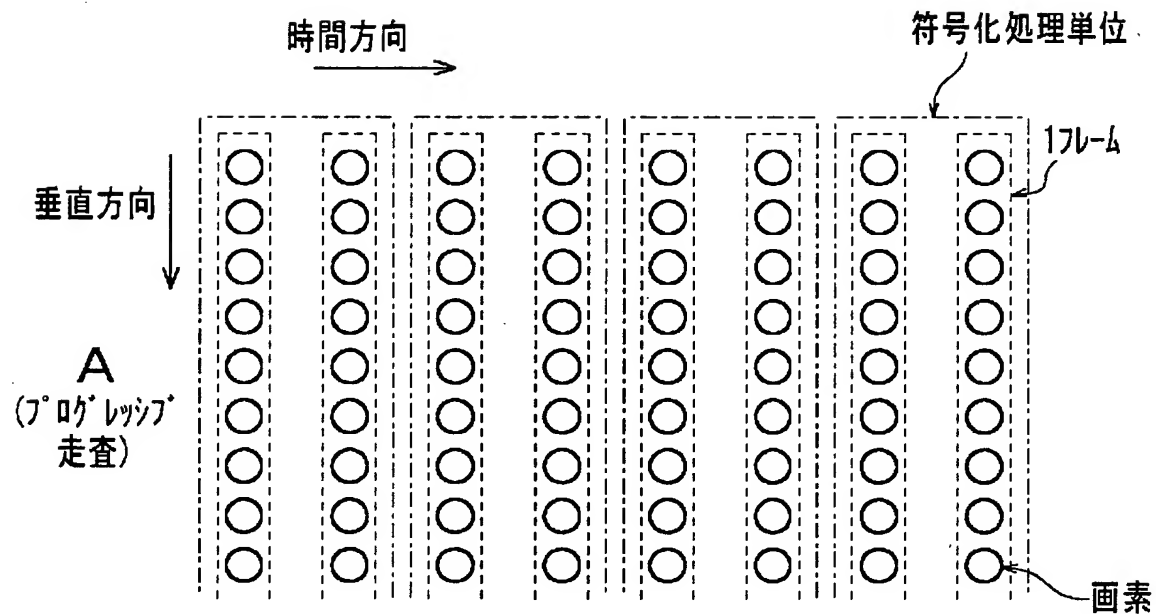
1 3 9 . . . データ量判別回路、2 1 1, 4 1 1 . . . 入力部、2 1 2, 2 1 3
, 4 1 2 . . . デコーダ、2 1 4 a, 4 1 5 a . . . レベル逆シフト部、2 3 2,
3 2 2, 4 1 3 . . . 信号切換部、2 3 3, 3 2 3 . . . 信号切換制御部

【書類名】

図面

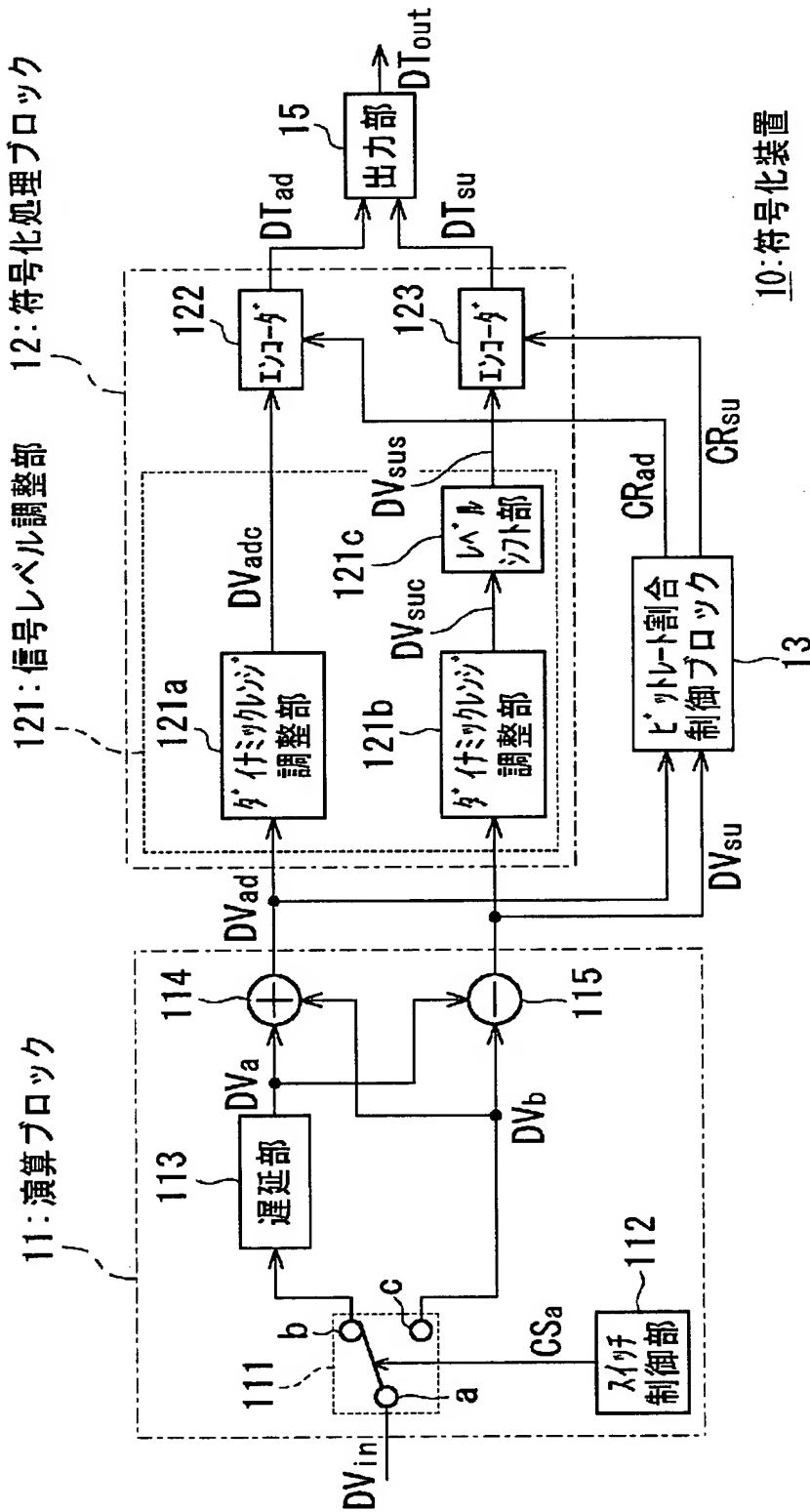
【図 1】

符号化処理単位



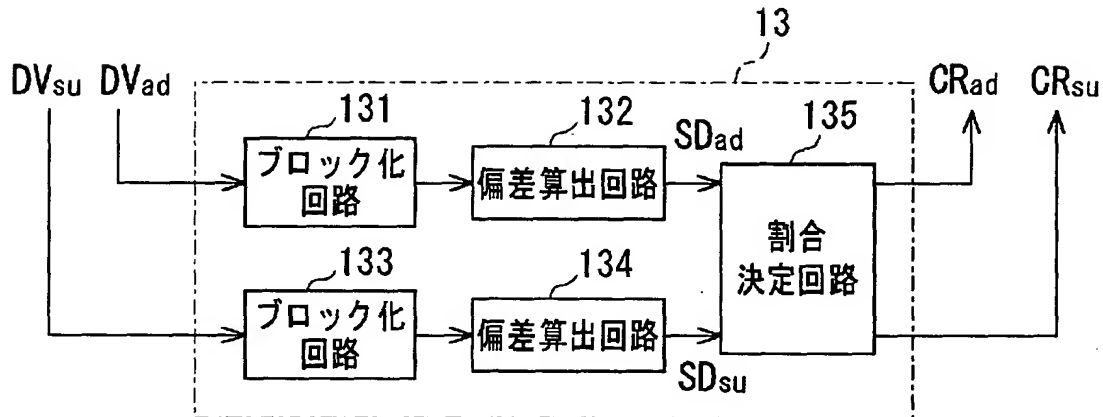
【図 2】

符号化装置の構成



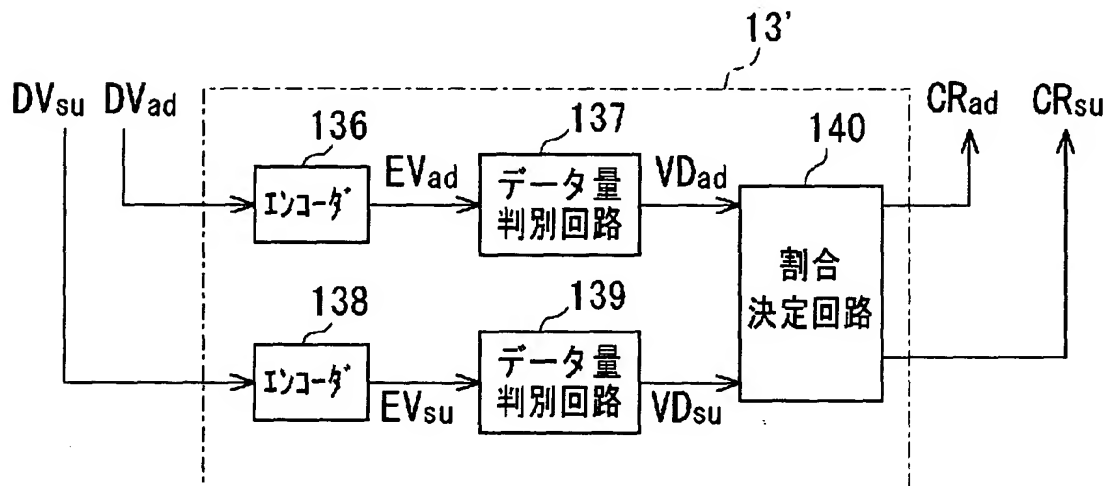
【図 3】

ビットレート割合制御ブロックの構成



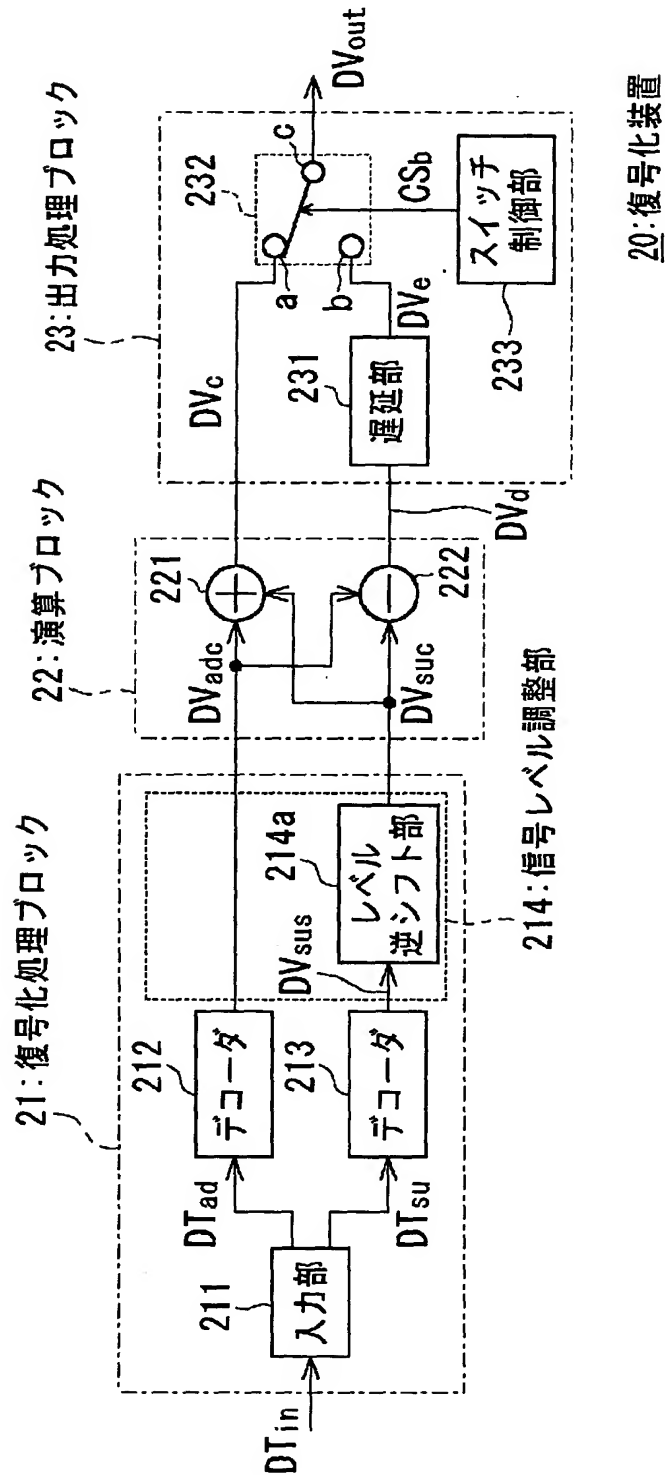
【図 4】

ビットレート割合制御ブロックの他の構成



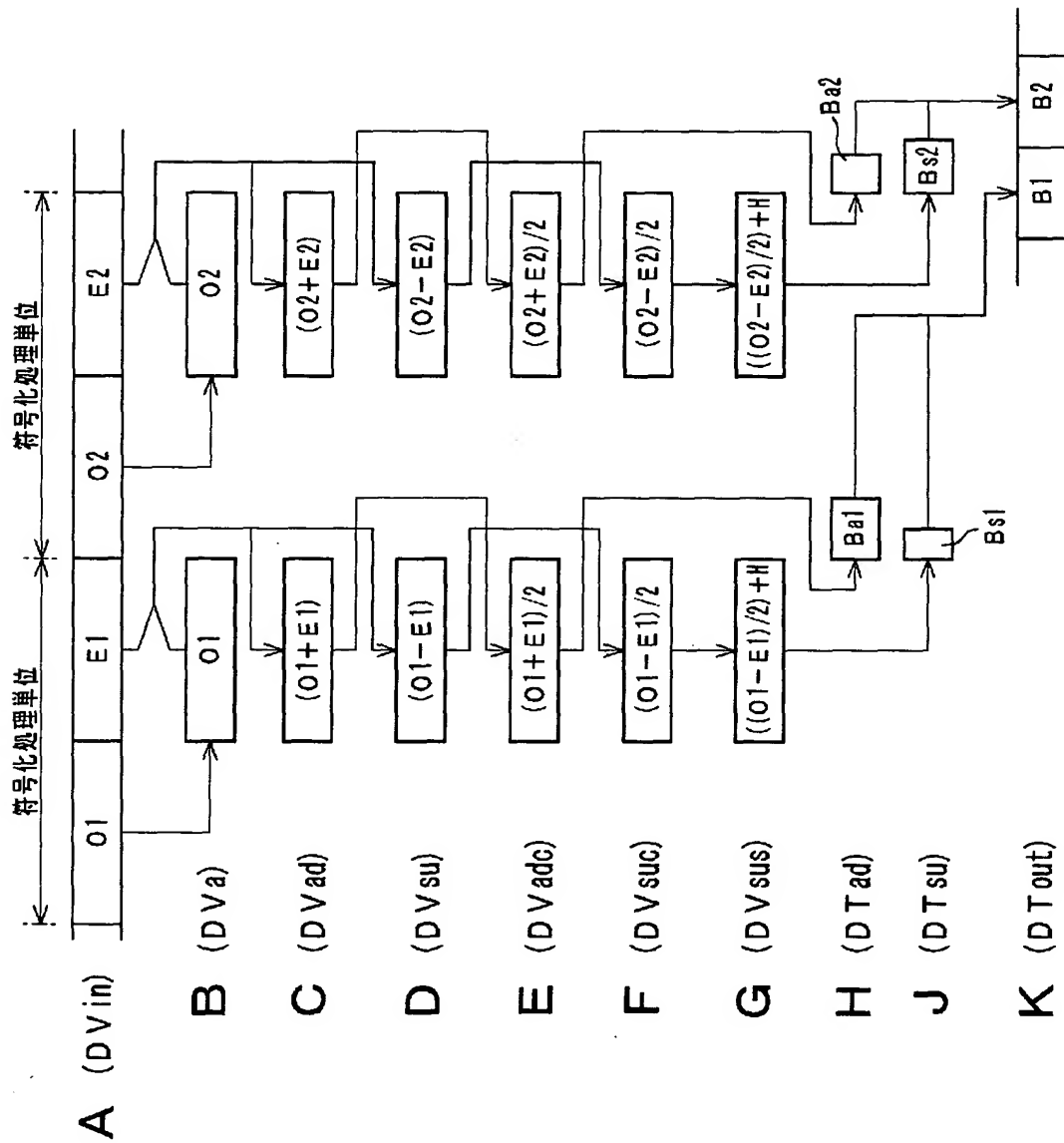
【図5】

復号化装置の構成



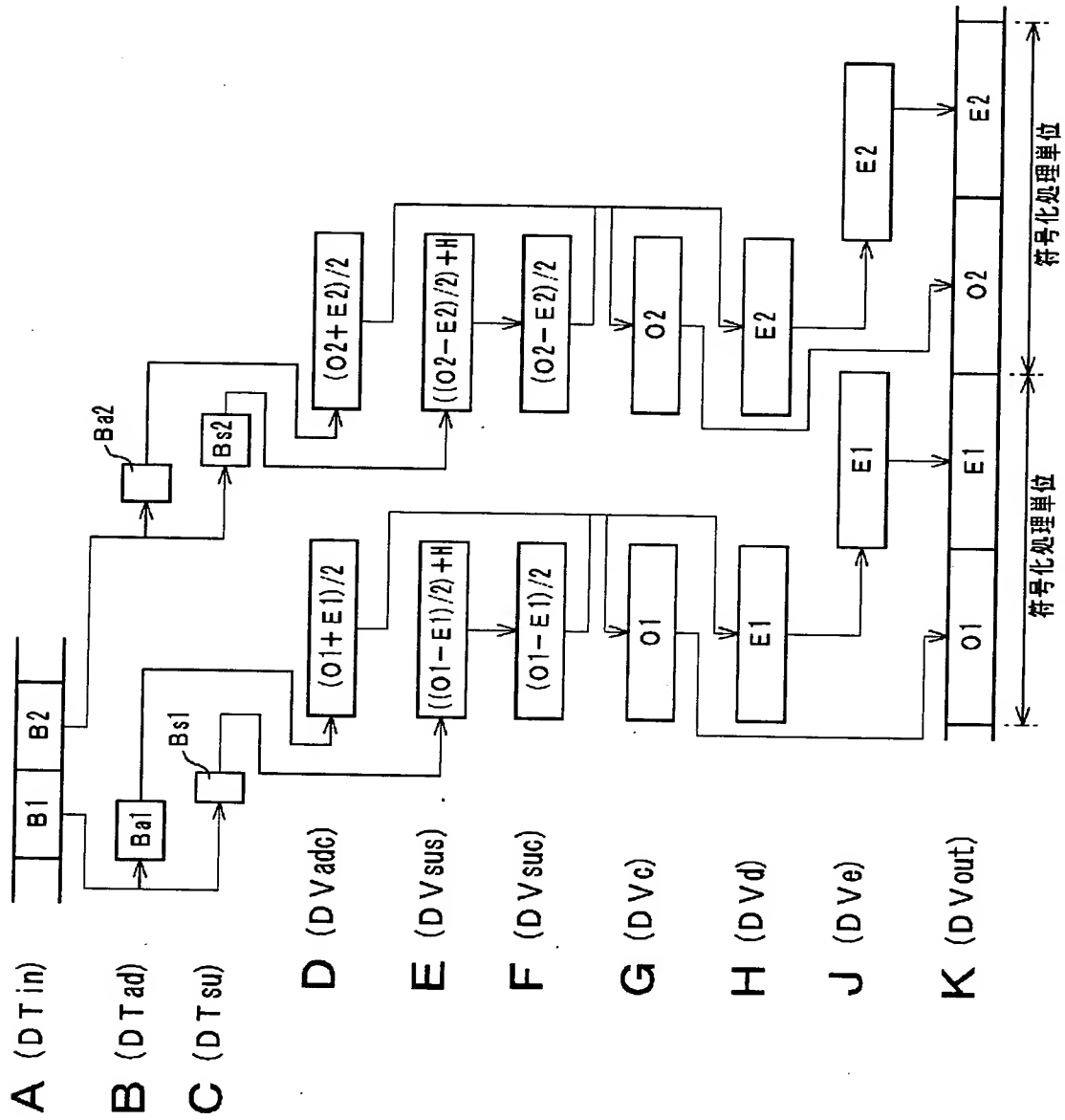
【图 6】

符号化装置の動作



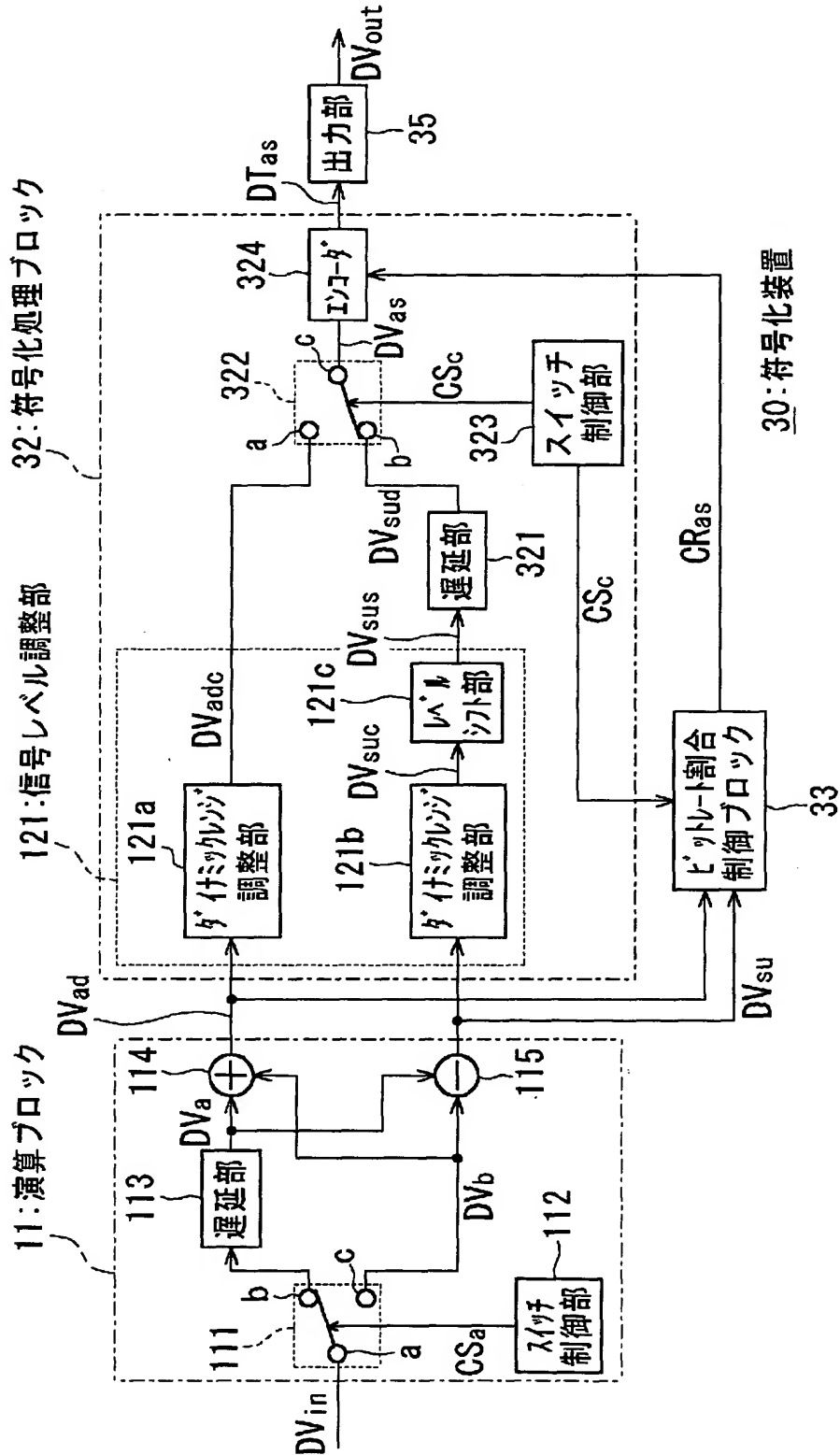
【図 7】

復号化装置の動作



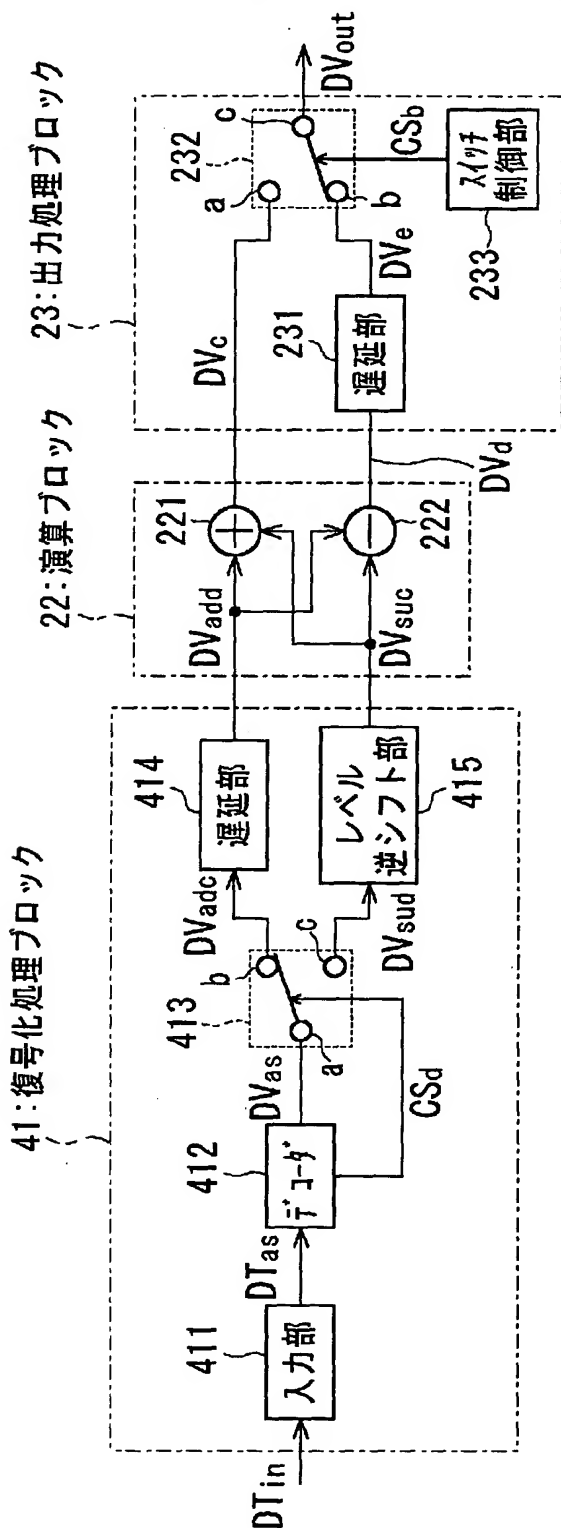
【図 8】

符号化装置の他の構成



【図9】

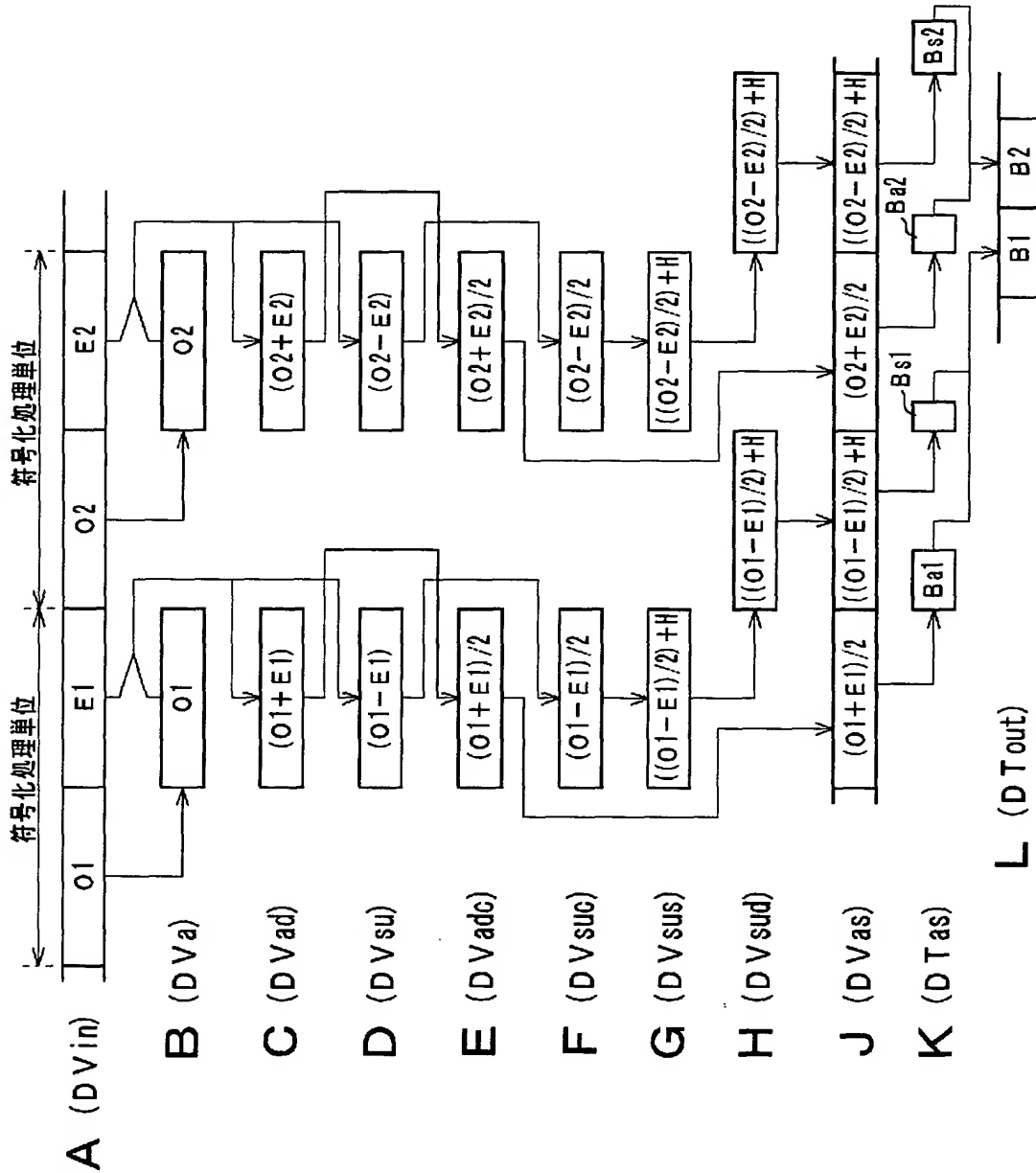
復号化装置の他の構成



40: 復号化装置

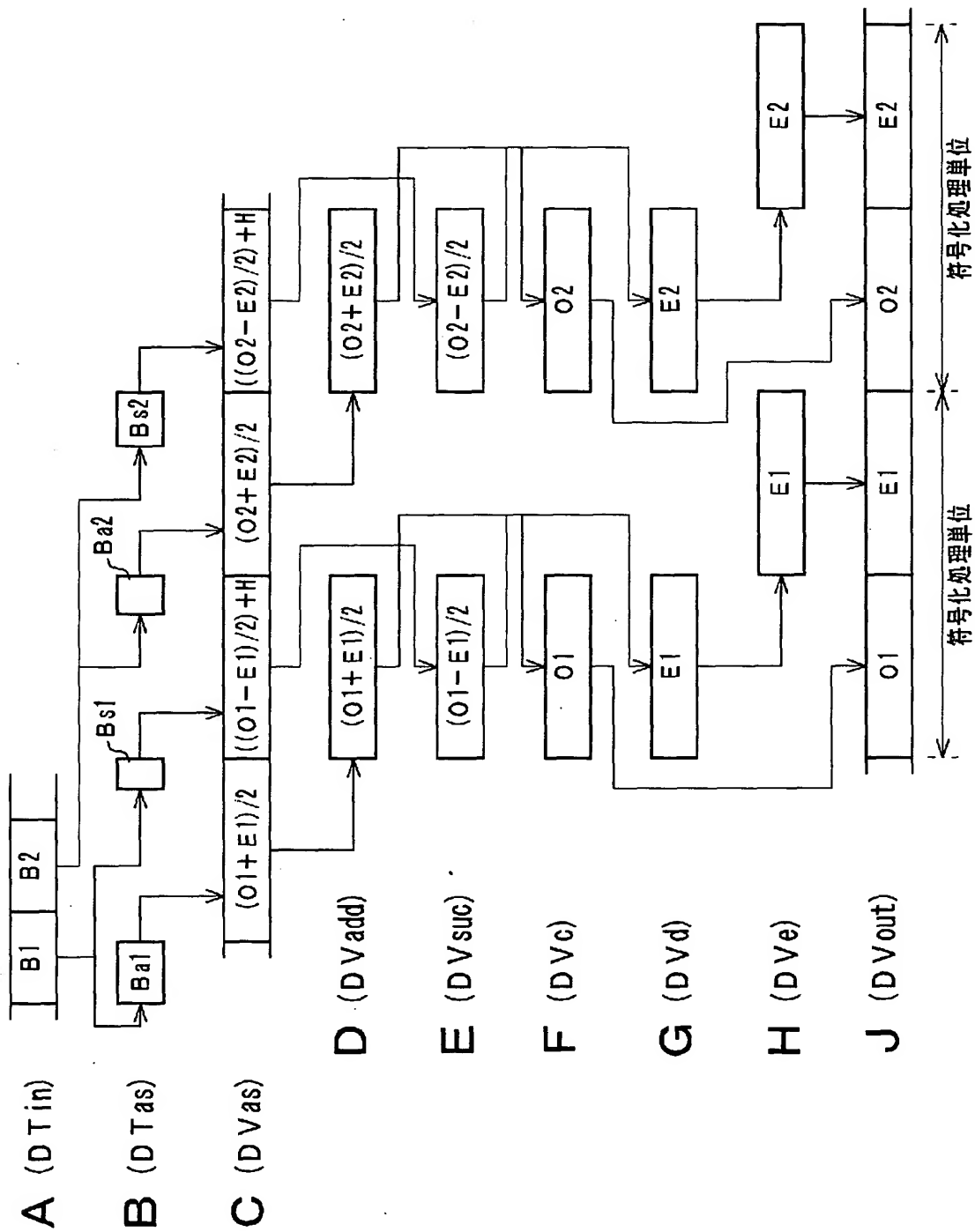
【図10】

符号化装置の他の構成での動作



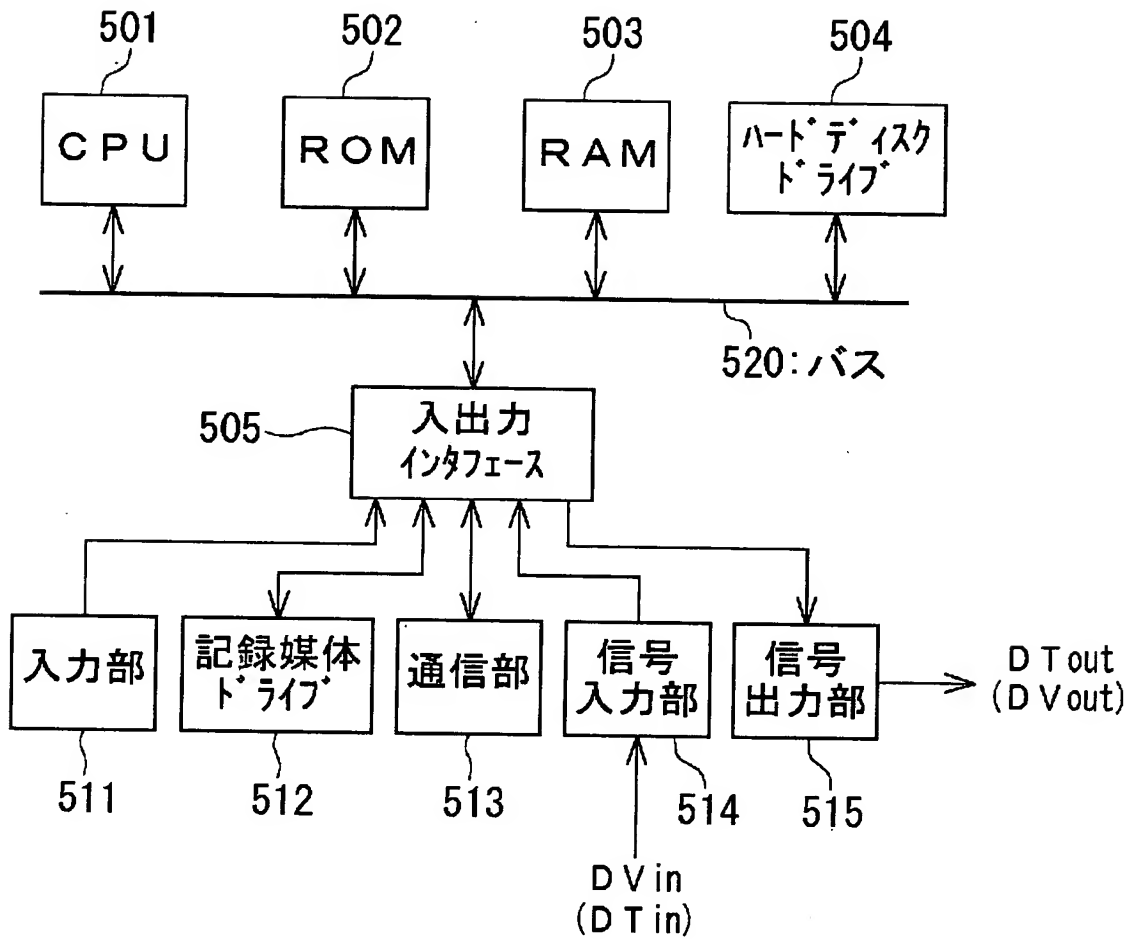
【図 11】

復号化装置の他の構成での動作



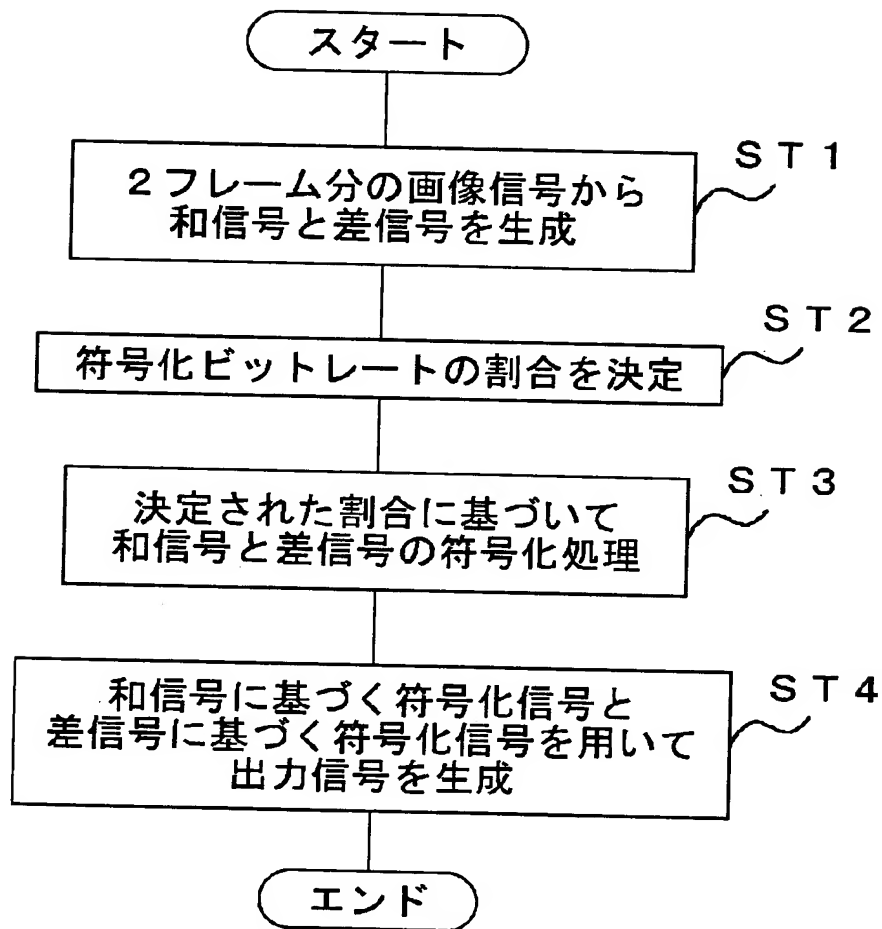
【図 12】

コンピュータを用いた構成



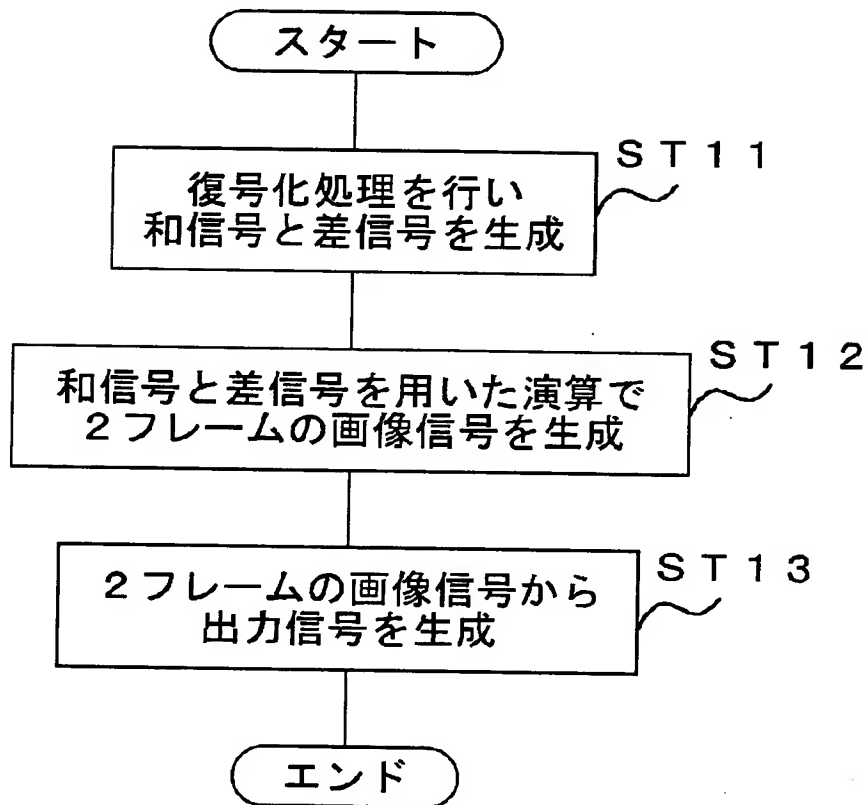
【図 1 3】

符号化動作



【図14】

復号化動作



【書類名】 要約書

【要約】

【課題】 高画質・高圧縮率で高い編集精度を得ることができるとともに、種々の画像圧縮技術を容易に利用可能とする符号化を可能とする。

【解決手段】 演算ブロック 1 1 では、入力画像信号 DV_{in} から 2 フレーム毎にフレーム間の画像信号の和信号 DV_{ad} と差信号 DV_{su} を生成する。ビットレート割合制御ブロック 1 3 では、和信号 DV_{ad} と差信号 DV_{su} に基づき、符号化ビットレートにおける和信号と差信号の符号化ビットレートとの割合を制御するための制御信号 CR_{ad} , CR_{su} を生成する。符号化処理ブロック 1 2 では、制御信号 CR_{ad} , CR_{su} に基づいて符号化ビットレートを可変できる符号化処理を用いて、和信号 DV_{ad} から制御信号 CR_{ad} に基づく符号化ビットレートの符号化信号 DT_{ad} を生成する。また、差信号 DV_{su} から制御信号 CR_{su} に基づく符号化ビットレートの符号化信号 DT_{su} を生成する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社
2. 変更年月日 2003年 5月15日
[変更理由] 名称変更
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社